

令和二年度修士論文

スプリット容量を用いた電荷再配分型
SAR ADC の解析および
オペアンプの短時間試験のための
Null 法評価の研究

指導教員 小林 春夫 教授

群馬大学大学院理工学府 理工学専攻
電子情報・数理教育プログラム

青木 里穂

目次

概要.....	5
第 1 部 スプリット容量を用いた電荷再配分型 SAR ADC の解析.....	6
第 1 章 序論.....	6
1-1 研究目的と背景.....	6
1-2 第 1 部の構成.....	7
第 2 章 電荷再配分型 SAR ADC.....	7
2-1 ADC の概要.....	7
2-2 電荷再配分型 SAR ADC の構成.....	8
2-3 電荷再配分型 SAR ADC の動作.....	8
2-4 従来の電荷再配分型 SAR ADC の問題点.....	12
第 3 章 提案した電荷再配分型 SAR ADC.....	12
3-1 合成抵抗と合成容量.....	12
3-2 スプリット容量を用いた電荷再配分型 SAR ADC.....	14
第 4 章 シミュレーションによる動作検証.....	15
4-1 スプリット容量の設定方法.....	15
4-2 シミュレーションによる動作確認.....	16
第 5 章 スプリット容量の寄生容量の問題.....	17
5-1 スプリット容量の左側に寄生容量がある場合.....	17
5-1-1 スプリット容量の左側の容量数が 3 の時.....	18
5-1-2 スプリット容量の左側の容量数が 2 の時.....	25
5-1-3 スプリット容量の左側の容量数が 4 の時.....	30
5-1-4 スプリット容量の左側に寄生容量がある場合の一般式の導出.....	34
5-2 スプリット容量の右側に寄生容量がある場合.....	39
5-2-1 スプリット容量の左側の容量数が 3 の時.....	39
5-2-2 スプリット容量の左側の容量数が 2 の時.....	42
5-2-3 スプリット容量の左側の容量数が 4 の時.....	44
5-2-4 スプリット容量の右側に寄生容量がある場合の一般式の導出.....	46
5-3 シミュレーションによる動作確認.....	46
5-3-1 スプリット容量の左側に寄生容量がある場合（左側容量数 3）.....	46
5-3-2 スプリット容量の左側に寄生容量がある場合（左側容量数 2）.....	47
5-3-3 スプリット容量の左側に寄生容量がある場合（左側容量数 4）.....	48
5-3-4 スプリット容量の右側に寄生容量がある場合.....	49
5-4 寄生容量の値の求め方.....	50
5-5 DNL と INL.....	51

5-6 13bit 版回路の検証.....	56
5-6-1 寄生容量がスプリット容量の左側にある場合.....	56
5-6-2 寄生容量がスプリット容量の右側にある場合.....	58
第 6 章 容量のミスマッチの影響.....	59
6-1 スプリット容量のミスマッチの影響.....	60
6-2 MSB 側の 2 進重み付け容量アレイにおける容量のミスマッチの影響.....	64
6-3 LSB 側の 2 進重み付け容量アレイにおける容量のミスマッチの影響.....	73
第 7 章 キャリブレーションについて.....	85
7-1 スプリット容量に 15% のミスマッチがある場合.....	85
7-2 MSB 側の容量に 12% のミスマッチがある場合.....	87
7-3 LSB 側の容量に -6% のミスマッチがある場合.....	90
第 8 章 まとめと今後の課題.....	93
8-1 まとめ.....	93
8-2 今後の課題.....	93
参考文献.....	94

第2部 オペアンプの短時間試験のための Null 法評価	95
第1章 序論	95
1-1 研究目的と背景	95
1-2 第2部の構成	96
第2章 基本的なオペアンプの測定回路	96
2-1 Null 法によるオペアンプの測定回路	96
第3章 製作した Null 回路	97
3-1 製作したオペアンプ実験回路	97
第4章 シミュレーションと実験検証	98
4-1 周波数特性	99
4-2 オフセット電圧	102
4-3 オープンループ利得 (A_{OL})	104
4-4 同相信号除去特性 (CMRR)	107
4-5 電源除去特性 (PSRR)	109
第5章 AC 特性測定実験	110
5-1 オープンループ利得 (A_{OL})	110
5-2 同相信号除去特性 (CMRR)	114
5-3 電源除去特性 (PSRR)	117
第6章 まとめと今後の課題	121
6-1 まとめ	121
6-2 今後の課題	121
参考文献	122
論文全体のまとめと今後の課題	123
外部発表リスト	124
受賞歴	126
謝辞	127

概要

本論文では、第 1 部でスプリット容量を用いた電荷再配分型 SAR ADC の解析について説明する。従来の電荷再配分型 SAR ADC では、高分解能な出力を得るために微小容量を使用していたが、回路中の容量比が大きくなりキャリブレーションが困難になるといった問題があった。そこで、微小容量を使わずに従来法と同程度の分解能が実現できる、スプリット容量を用いた方式について検討を行い、従来法よりも容量比を 60 分の 1 程度下げても出力の分解能が変わらないことが確認できた。しかし、この提案回路はスプリット容量を新たに追加するため、スプリット容量に生じる寄生容量が出力の線形性に影響を及ぼすという問題があった。本研究では、計算やシミュレーションにより寄生容量が出力にどのような影響を及ぼすのかについて検証し、寄生容量がある場合の一般式を導出した。さらに、この一般式を使用して寄生容量の値を推測する方法についても提示した。また、寄生容量の他に、スプリット容量や 2 進重み付け容量といった容量そのものに誤差がある場合も出力の線形性に影響を及ぼすため、同様に一般式を導出し非線形性が現れるコードを明らかにした。さらに、誤差のある出力をキャリブレーションする方法について示し、その結果誤差をほぼ 0 にできることが確認できた。

第 1 部の構成としては、第 2 章で電荷再配分型 SAR ADC について、第 3 章でスプリット容量を用いた提案回路について示し、第 4 章で従来回路と提案回路のシミュレーション検証を行う。第 5 章ではスプリット容量に寄生容量がある場合について、第 6 章ではスプリット容量や 2 進重み付け容量といった容量そのものに誤差がある場合について検証し、第 7 章でキャリブレーションの方法について解説する。

第 2 部では、オペアンプの短時間試験のための Null 法評価について説明する。Null 法は実験室レベルでオペアンプを正確に測定する方法として使われてきたが、比較的テスト時間がかかるためコスト面の問題から量産試験には不向きであった。そこで、本研究では Null 法を大量生産試験に適用するために、シミュレーションにより回路中の位相補償容量の適切な値を選択し、その結果測定時間を大幅に短縮することが可能となった。

第 2 部の構成としては、第 2 章で基本的なオペアンプの測定回路について、第 3 章で製作した Null 回路について説明する。第 4 章ではオペアンプの周波数特性、オフセット電圧、オープンループ利得 (AOL)、同相信号除去特性 (CMRR)、電源除去特性 (PSRR) のシミュレーション・実験検証について解説し、さらに AOL、CMRR、PSRR については第 5 章で AC 特性測定実験検証についても報告する。

第 1 部 スプリット容量を用いた

電荷再配分型 SAR ADC の解析

第 1 章 序論

1-1 研究目的と背景

我々の身の回りにある音、光、温度、圧力などといった自然界の信号はアナログ信号と呼ばれ、イメージとしては坂道のような連続的な信号である。それに対し、0 または 1 の 2 進数で表現される信号はデジタル信号と呼ばれ、イメージとしては階段のような離散的な信号である。デジタルプロセッサが処理してメモリに保存できるのは、このデジタル信号である。そのため、人間が認識できるアナログ信号を、デジタルプロセッサで直接処理することはできず、アナログ信号をデジタル信号に変換するアナログーデジタル変換器 (ADC) が必要になる。近年、スマートフォンを始めとする様々な電子機器の開発に伴い、外部からのアナログ情報を電子機器が処理できるように変換する ADC の技術は必要不可欠となっている。ADC には本論文で述べる逐次比較型の他に、パイプライン型や $\Delta \Sigma$ 型などがある。なお、逐次比較近似 ADC は Successive-Approximation-Register Analog-to-Digital Converter の頭文字を取り、SAR ADC とも呼ばれる。

ADC には、元のアナログ入力に限りなく近いデジタル信号の再現が要求される。本論文で取り扱う電荷再配分型 SAR ADC は、容量を用いて AD 変換する方式であるため、微小容量を使用すればより高分解能なデジタル出力が得られる。しかし、微小容量を使用すると回路中の他の容量との容量比が大きくなり、正確な実装が困難になるという問題が発生する。また、キャリブレーションは通常、同程度の大きさの容量を配置して行われるため、容量の大きさが著しく異なると正確なキャリブレーションが困難になり、ADC の製造が現実的ではなくなる[1-5]。

そこで、SAR ADC にスプリット容量を用いることで、微小容量を使用しなくても高分解能出力が得られる方式について検証し、これにより回路中の容量比を小さくすることが可能になった。しかし、この方式はスプリット容量を新たに追加する必要があるため、スプリット容量の両端に生じる寄生容量により、出力の線形性に影響が現れるという問題があった。

本研究ではこの寄生容量による影響について計算やシミュレーションで検証し、寄生容量の値を導出する方法について検討した。さらに、スプリット容量や 2 進重み付け容量といった容量そのものに誤差がある場合についても検証し、出力を補正する方法について示した。

1-2 第1部の構成

まず、第2章で電荷再配分型 SAR ADC について説明し、第3章でスプリット容量を用いた提案回路について示す。第4章ではスプリット容量の設定方法について示した後に、従来回路と提案回路のシミュレーションを行い比較・検証する。第5章ではスプリット容量の寄生容量について様々な回路パターンでの検証を行い、寄生容量の値の導出方法について提示する。第6章ではスプリット容量や2進重み付け容量といった容量そのものに誤差がある場合についても検証を行い、第7章で誤差のある出力をキャリブレーションする方法について解説する。最後に第8章で、全体のまとめと今後の課題について示す。

第2章 電荷再配分型 SAR ADC

2-1 ADC の概要

まず初めに、様々な ADC の種類と特徴について表 2.1.1 に示す。ADC にはここで示す方式以外にも多くの種類が存在するが、ここでは代表的な4種類の ADC について解説する。

表 2.1.1. ADC の種類と特徴

方式	一般的な変換速度	分解能	特徴
逐次比較型 (SAR 型)	中速 数 100 μ s~数 100ns	8~18 ビット	汎用 高精度用途に多用
並列型 (フラッシュ型)	最速 数 ns 以下	6~10 ビット	超高速 大規模、低分解能
パイプライン型	高速 数 μ s~数 10ns	8~16 ビット	高速、遅延あり
デルタ・シグマ型 ($\Delta\Sigma$ 型)	中速 数 10ms~数 10 μ s	12~24 ビット	常時変換動作 高分解能

まず、本論文のメインでもある逐次比較型 (SAR 型) について説明する。この方式は速度、分解能が比較的優れているわけではないが、速度・精度共にある程度の性能を示すためバランスが良く、スマートフォンやデジタルカメラ、センサー類、DVD、CD、オシロスコープなど汎用的に使用されている。並列型 (フラッシュ型) は非常に高速ではあるが分解能が低く、また多くの比較器、ラダー抵抗が必要であるため回路規模は大きくなる。パイプライン型はサンプル&ホールド機能により高速 AD 変換が可能だが、遅延があるといった短所もある。デルタ・シグマ型 ($\Delta\Sigma$ 型) は変換速度は遅いが極めて高い分解能、優れた微分直線性を持ち、さらに消費電力も低いため低コストである。

2-2 電荷再配分型 SAR ADC の構成

この節では、電荷再配分型 SAR ADC の回路構成と特徴について解説する。図 2.2.1 は M ビットの電荷再配分型 SAR ADC で、アナログ入力 V_{in} と基準電圧 V_{ref} の 2 つの電源と、容量アレイ、インバータを使用したコンパレータ、SAR 論理回路により構成されている。この方式は、コンパレータからの出力を逐次比較近似し、容量の下端にあるスイッチを切り替えることでデジタル出力 D_{out} を得る仕組みとなっている。容量アレイは 2 進重み付けされており、 C 、 $2C$ 、 $4C$ 、...と続いている。一般式は

$$C_m \cong 2^m C \quad (m = 0, 1, 2, \dots, M-1) \quad (2.2.1)$$

と近似されるが、実際は誤差がある。式(2.2.1)より、この回路の合成容量は図 2.2.1 中の点線の四角で囲った箇所の容量を加算していくことで、

$$C_T \cong 2^{M-1}C + 2^{M-2}C + \dots + 2C + C + C \quad (2.2.2)$$

と定義される。この SAR ADC はパイプライン型や $\Delta\Sigma$ 型とは異なり、高利得オペアンプが不要であるため、高利得オペアンプの実現が難しい微細 CMOS で設計するのにも適した AD 変換方式である。

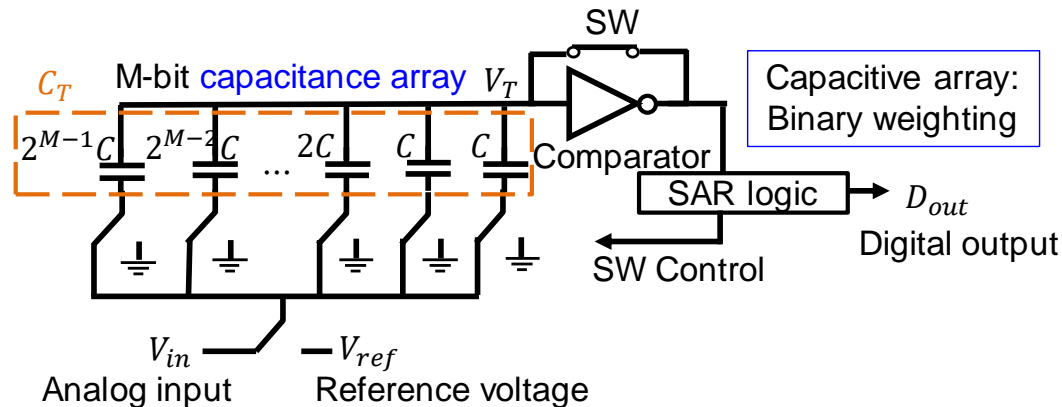


図 2.2.1 M ビットの電荷再配分型 SAR ADC の回路構成

2-3 電荷再配分型 SAR ADC の動作

この節では、電荷再配分型 SAR ADC の動作について示し、アナログ入力 V_{in} がデジタル信号 D_{out} に変換される仕組みについて説明する。この回路の動作には、充電サイクルと再分配サイクルの 2 つのサイクルがあり、まずは充電サイクルについて解説する。充電サイクルでは図 2.3.1 に示すように、コンパレータ上端のスイッチはオンで、各容量の下端は全てアナログ入力 V_{in} に接続されている。この時、全容量に電荷が充電されること

で、アナログ入力の情報が回路上に記憶されることになる。なお、充電時の容量アレイ上端の電圧は V_t となる。 V_t については図 2. 3. 2 に示す通りで、インバータの入出力が一致する時の値である。インバータの入力側を A、出力側を B とすると、インバータは入力を反転させて出力するので、入力 A が低い時は出力 B が高くなり、反対に A が高い時は B が低くなる。さらに、充電サイクルではコンパレータ上端のスイッチがオンになっていて導通しているので、ここでのインバータの入出力電圧は等しくなり、 $A=B$ が成り立つ。そのため、 V_t はインバータの出力波形が $A=B$ になる時の値となる。この時の回路中の全電荷量は

$$Q_{in} = C_T(V_T - V_{in}) \quad (2. 3. 1)$$

である。

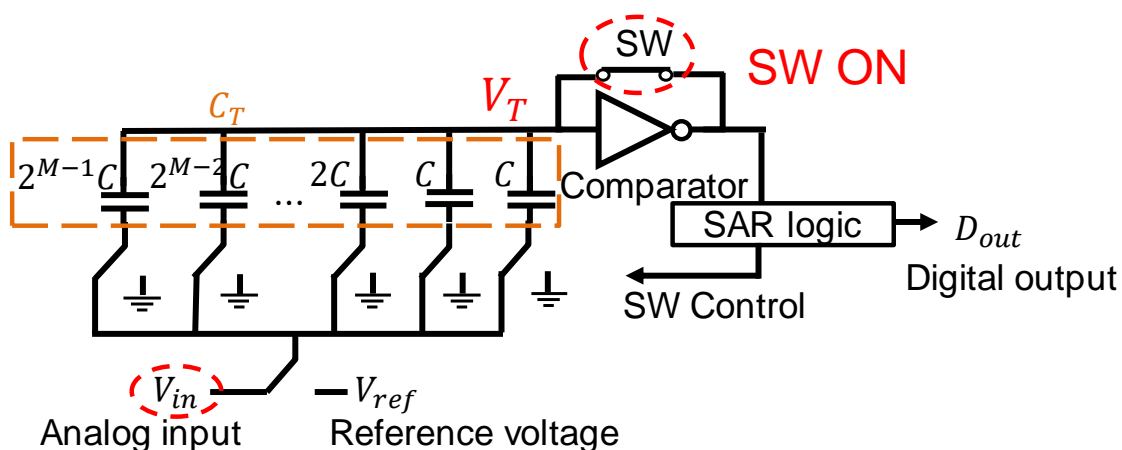


図 2. 3. 1 充電サイクル時の電荷再配分型 SAR ADC

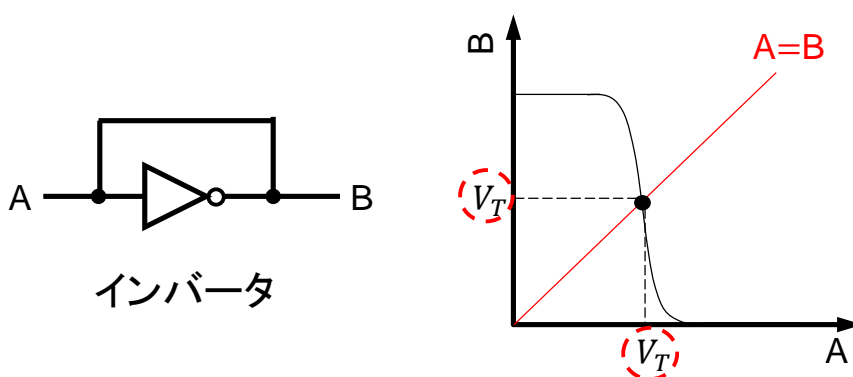


図 2. 3. 2 インバータの出力波形と V_t の関係

次に、再分配サイクルについて解説する。再分配サイクルでは図 2. 3. 3 に示すように、コンパレータ上端のスイッチはオフになり、最大容量 $2^{M-1}C$ の下端のみを基準電圧 V_{ref}

に、他の容量の下端は GND に接続するように切り替えられるため、容量に蓄えられていた電荷が再分配されることになる。なお、再分配時の容量アレイ上端の電圧は V_x となる。 V_x については図 2.3.4 に示す通りで、インバータの入出力が等しい V_t とは一致しないインバータ入力となっている。再分配サイクルではコンパレータ上端のスイッチがオフになっているため、ここでのインバータの入出力電圧は一致せず、 $A=B$ は成り立たない。よって、 V_x はインバータの出力波形が $A=B$ になる時の V_t にはならず、その前後の値となる。この時の回路中の全電荷量は

$$Q_{in} = 2^{M-1}C(V_x - V_{ref}) + (C_T - 2^{M-1}C)(V_x - 0) \quad (2.3.2)$$

である。

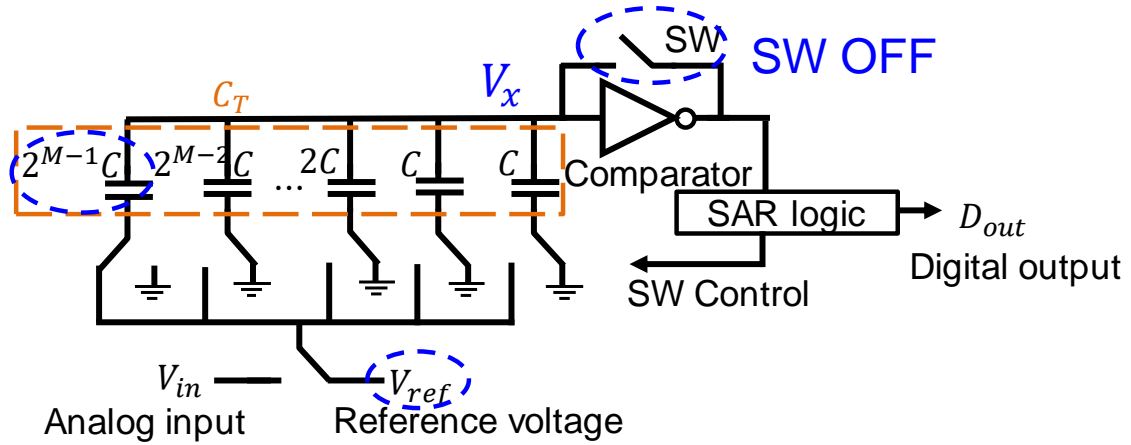


図 2.3.3 再分配サイクル時の電荷再配分型 SAR ADC

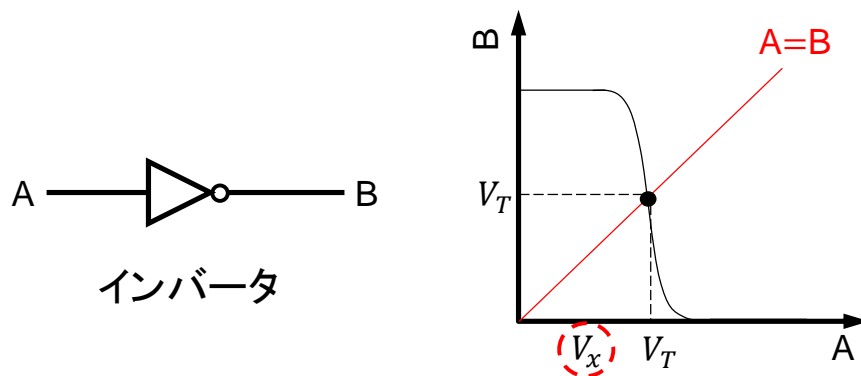


図 2.3.4 インバータの出力波形と V_x の関係

次に、コンパレータにより上端電位変化分 $\Delta V_x \equiv V_x - V_T$ の正負を検出し、デジタル出力 D_{out} の最上位ビット a_{M-1} を決定する。電荷保存則より、充電サイクル時と再分配サイクル時の全電荷量は変化しないので、式(2.3.1)と式(2.3.2)は等しい。よって、上端

電位変化分 ΔV_x は

$$\Delta V_x \equiv V_x - V_T = - \left(V_{in} - \frac{2^{M-1}C}{C_T} V_{ref} \right) \quad (2.3.3)$$

と表される。ここで、

$$\left(\frac{2^{M-1}C}{C_T} \right) V_{ref} = \frac{1}{2} V_{ref} \quad (2.3.4)$$

であるから、 V_{in} と $V_{ref}/2$ の大小関係を比較することで ΔV_x の正負が検出でき、以下のようにして a_{M-1} (MSB) が決定される。

- 1) $V_{in} > V_{ref}/2$ 、即ち ΔV_x が負の時

$V_x < V_t$ であるから再分配時に V_{ref} に接続される容量が不足していることになる。そのため図2.3.5に示すように $2^{M-1}C$ の下端は V_{ref} に接続されるので、 $a_{M-1} = 1$ となる。

- 2) $V_{in} < V_{ref}/2$ 、即ち ΔV_x が正の時

$V_x > V_t$ であるから再分配時に V_{ref} に接続される容量が多いことになる。そのため図2.3.6に示すように $2^{M-1}C$ の下端はGNDに接続されるので、 $a_{M-1} = 0$ となる。

このようにしてデジタル出力 D_{out} の最上位ビット a_{M-1} が決定されるので、次のビット a_{M-2} 、 a_{M-3} 、 \dots 、 a_0 も同様に決定する。再分配サイクル時に求めるビットの容量を V_{ref} 接続して、コンパレータで ΔV_x の正負を検出し、 V_t の方が大きい場合は V_{ref} に接続し、 V_x の方が大きい場合はGNDに接続する。上位ビットから順に決定していき $V_x = V_t$ となるように調整する。全ての容量での比較が終了し、全ビットが決定したらデジタル出力 D_{out} が得られる。

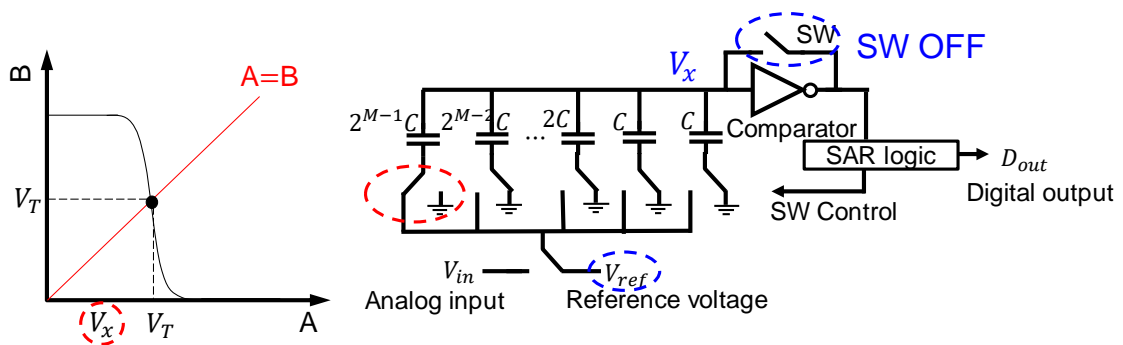


図 2.3.5 $V_x < V_t$ の時のスイッチの状態

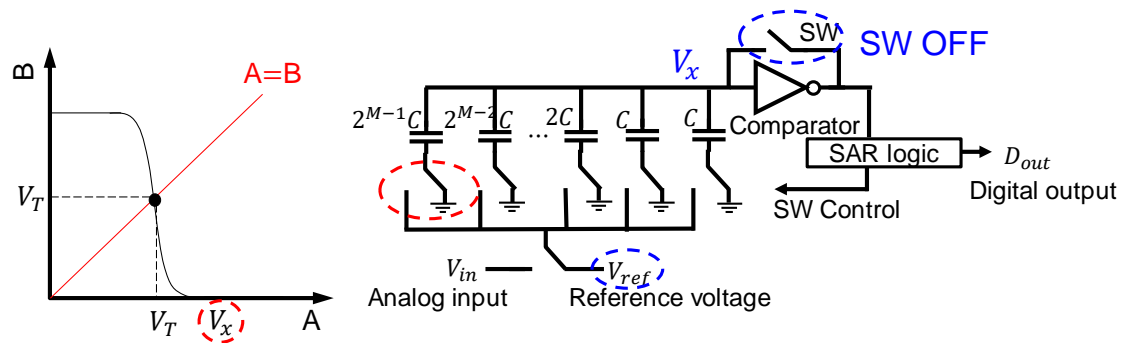


図 2.3.6 $V_x > V_t$ の時のスイッチの状態

2-4 従来の電荷再配分型 SAR ADC の問題点

2-3 での電荷再配分型 SAR ADC の動作原理より、容量を小さくしていくことでより $V_x = V_t$ に近づいていくので、元のアナログ入力に近い高分解能なデジタル出力を生成できる。従来法では図 2.4.1 のような微小容量を使用した回路で高分解能出力を実現しており、この回路では最小容量が $C/128$ となっているため、 2^{-7} ビットまでデジタル信号を出力できる。しかし、最大容量は $32C$ であるため回路中の容量比が大きくなり、キャリブレーションの段階で問題が発生する。その理由として、キャリブレーションは通常、同程度の大きさの容量を配置して行われるため、容量の大きさが図の回路のように著しく異なると正確なキャリブレーションが困難になるからである。これにより ADC の実装も困難になるので、回路中の容量比を小さくするために、微小容量を使わずに高分解能出力が得られる方法について検討した。

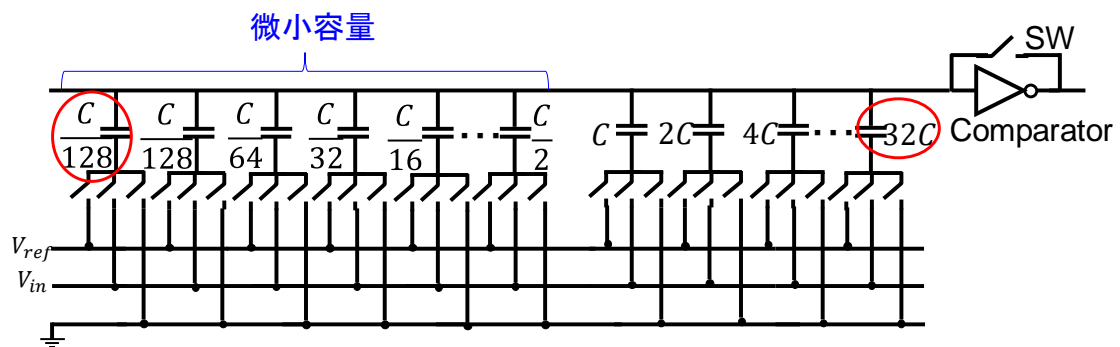


図 2.4.1 従来の電荷再配分型 SAR ADC の主要部分

第 3 章 提案した電荷再配分型 SAR ADC

3-1 合成抵抗と合成容量

容量は直列接続するとその合成容量が元の容量よりも小さくなるという特徴がある。

そこで、電荷再配分型 SAR ADC にスプリット容量を直列接続することで、普通の容量を等価的に小さくする方式について検討した。

最初に、合成抵抗と合成容量について説明する。図 3. 1. 1 に示すように、合成抵抗 R は直列では元の抵抗 R_1 と R_2 の和となるが、並列では元の R_1 、 R_2 より小さくなる。一方、合成容量 C は抵抗と反対で、図 3. 1. 2 に示すように並列で元の容量 C_1 と C_2 の和となり、直列では元の C_1 、 C_2 より小さくなる。ここで、容量 C の式は

$$C = \varepsilon \frac{S}{d} \quad (3. 1. 1)$$

ε : 誘電体の誘電率[F/m], S : 電極板面積[m²], d : 電極板間隔[m] であり、 S と d は図 3. 1. 3 に示す通りである。このため、直列では電極板間隔 d が大きくなるので容量 C は小さくなるが、並列では電極板面積 S が大きくなるので容量 C は大きくなる。

このような、直列接続した容量の合成容量が等価的に小さくなるという原理を利用することで、普通の容量でも微小容量と同じような機能を果たすことが可能となる。提案回路は電荷再配分型 SAR ADC にスプリット容量を直列接続することにより、回路中の容量を元の値より小さくして、微小容量を使わずに高分解能出力が得られる方式であり、3-2 で詳細な説明をする。

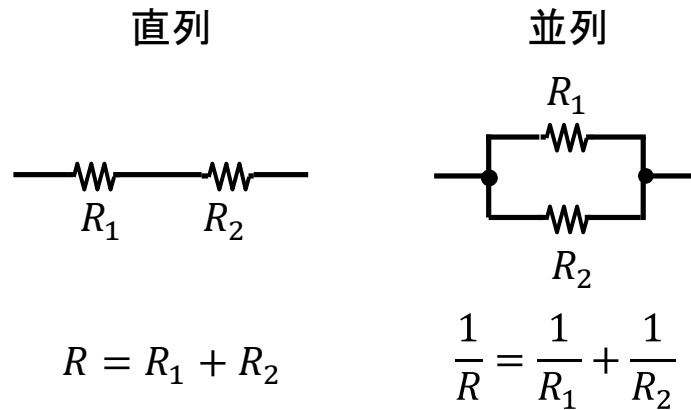


図 3. 1. 1 直列、並列の時の合成抵抗

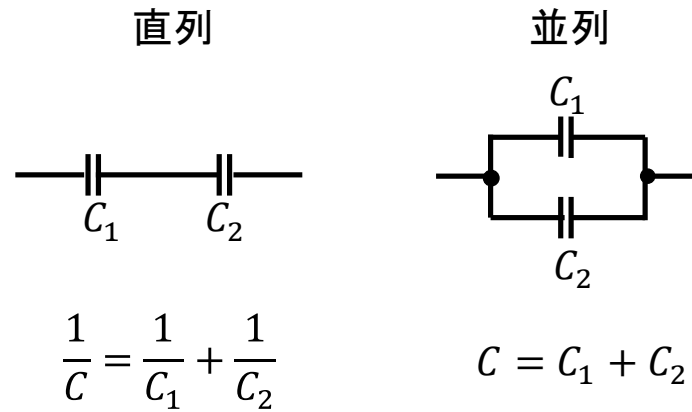


図 3. 1. 2 直列、並列の時の合成容量

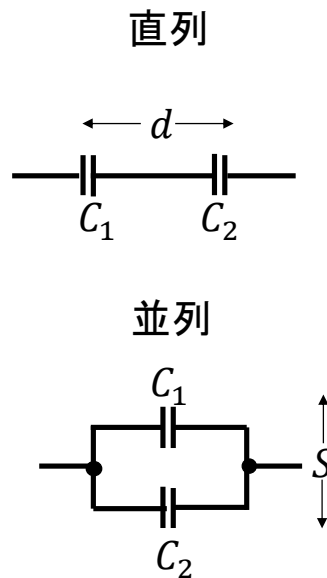
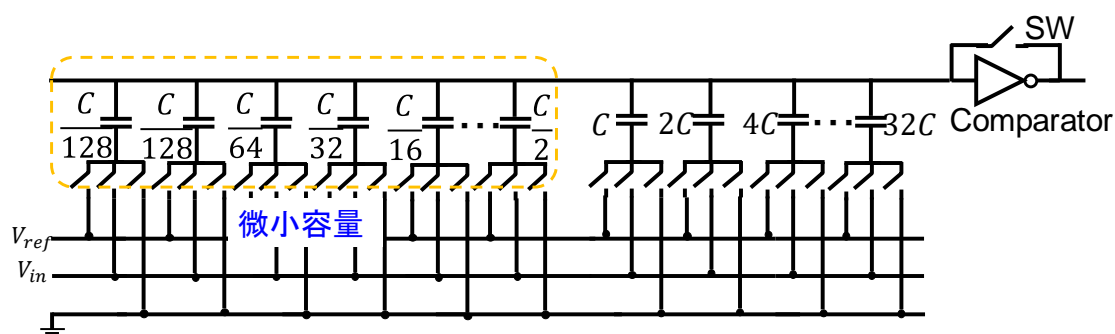


図 3. 1. 3 容量の電極板面積 S と電極板間隔 d

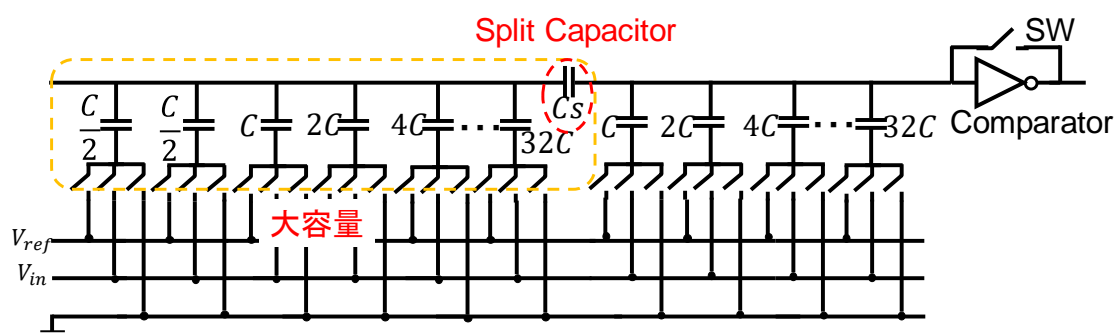
3-2 スプリット容量を用いた電荷再配分型 SAR ADC

図 3. 2. 1 (a)は微小容量を用いた従来の電荷再配分型 SAR ADC で、図 3. 2. 1 (b)はスプリット容量を用いた提案回路である。この提案回路は微小容量を使用していないが、スプリット容量 C_s の値を適切に設定することで、従来の回路と同程度の分解能を実現できる。例えば図 3. 2. 1 (a)の $C/2$ は図 3. 2. 1 (b)では $32C$ に、図 3. 2. 1 (a)の $C/16$ は図 3. 2. 1 (b)では $4C$ に置き換えることができる。図 3. 2. 1 (a)の従来の回路では最小容量が $C/128$ 、最大容量が $32C$ であるため容量比が 4096 と大きく、比精度をとるのが困難であったが、図 3. 2. 1 (b)はスプリット容量を用いることで微小容量が不要になるので、最小容量は $C/2$ と大きくなり容量比は 64 になる。よって、提案回路では容量比が従来回路の 64 分の 1 になるため、比精度をとることが容易になる。

このように、2進重みを2部分に分け、スプリット容量で接続することで、スプリット容量に直列接続された大容量が微小容量と等価になるため、本来微小容量が必要な部分を大容量で置き換えることが可能となる。その結果回路内の容量比が小さくなるため、キャリブレーションの問題が軽減でき ADC の実装が容易になる。なお回路動作については、スプリット容量を用いた場合も 2・3 のスプリット容量なしの場合とほぼ同様である。



(a) 従来の電荷再配分型 SAR ADC



(b) スプリット容量を用いた電荷再配分型 SAR ADC

図 3. 2. 1 従来の電荷再配分型 SAR ADC と今回提案した電荷再配分型 SAR ADC

第 4 章 シミュレーションによる動作検証

4-1 スプリット容量の設定方法

この章では、提案回路が微小容量を使わなくても従来の回路と同様の分解能で出力できているかを、シミュレーションにより検証する。

ここではまず、提案回路が従来の回路と等価になる時のスプリット容量を計算する。従来回路と提案回路の異なる部分は左半分のみなので、図 3. 2. 1 の点線で囲った左側の合成容量のみをそれぞれ求めればよい。提案回路の合成容量は図 4. 1. 1 に示すようになっており、スプリット容量以外を点線で囲った部分の容量は全て並列なので、3・1 の合成容量の

特性より各容量を単純に加算した値 $64C$ がこの部分の合成容量となる。そのため、この等価回路は $64C$ とスプリット容量 C_s の直列回路となるので、提案回路のスプリット容量から左側の合成容量は

$$\frac{1}{\frac{1}{64C} + \frac{1}{C_s}} = \frac{64CC_s}{64C + C_s} \quad (4.1.1)$$

となる。

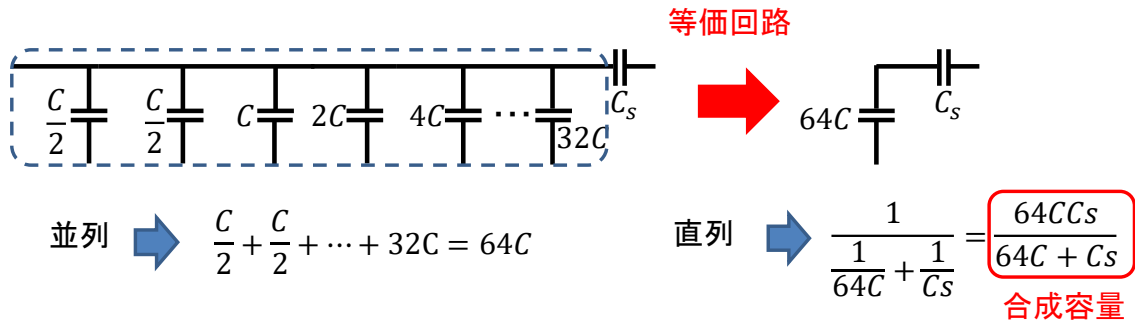


図 4.1.1 スプリット容量から左側の等価回路

求めた式(4.1.1)の合成容量は、スプリット容量なしの図 3.2.1 (a)の点線で囲った部分の合成容量

$$\frac{C}{128} + \frac{C}{128} + \dots + \frac{C}{2} = C \quad (4.1.2)$$

と等価なので、式(4.1.1)と式(4.1.2)の等式を解くとスプリット容量 C_s の値は

$$C_s = \frac{64C}{63} \cong 1.02C \quad (4.1.3)$$

となる。

4-2 シミュレーションによる動作確認

次に、4-1 で求めたスプリット容量の値 $C_s=1.02C$ を提案した電荷再配分型 SAR ADC に適用した時、微小容量を用いた従来の回路と同じ出力がなされているのかについて確認する。図 3.2.1 の回路を $C=1\text{pF}$ として LT spice でシミュレーションし、アナログ入力に対するデジタル出力をグラフ化した結果を図 4.2.1 に示す。図 4.2.1 (a)は従来の微小容量を使用した場合のグラフで、図 4.2.1 (b)は提案したスプリット容量を用いた場合のグラフである。スプリット容量を用いた場合の図(b)の結果は微小容量を使用していないにも関わらず、微小容量を用いた場合の図(a)と同じ結果となり、同様の分解能を示していることが確認できる。そのため、スプリット容量を用いた提案回路は従来の回路と同程度の分

解能を保ちつつ、回路内の容量比を小さくすることができるので、キャリブレーションの問題を軽減でき ADC の正確な実装が期待できる。

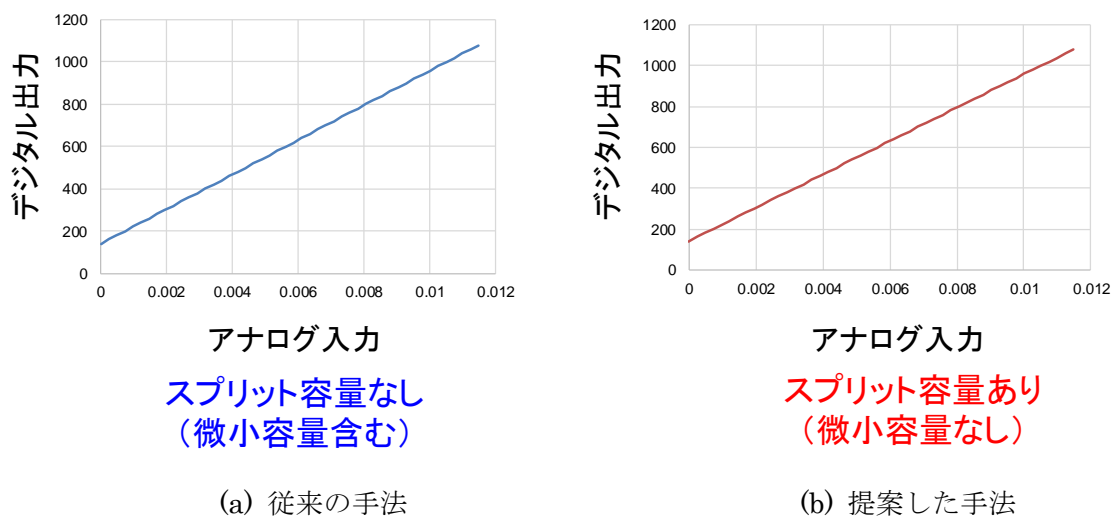


図 4. 2. 1 電荷再配分型 SAR ADC の出力結果

第 5 章 スプリット容量の寄生容量の問題

この章では、スプリット容量を用いることで生じるデメリットについて説明する。従来回路の容量比の問題はスプリット容量を使用することで軽減できるが、実際は図 5. 1. 1 に示すようにスプリット容量に寄生容量が生じるため、ADC 全体の線形性に影響を及ぼすといった新たな問題が発生する。そこで、寄生容量がある場合の一般式を導出し、出力のどのコードで線形性が崩れるのかについて調べた。さらに、この一般式を使用して寄生容量の値を求める方法についても検証した。

5-1 スプリット容量の左側に寄生容量がある場合

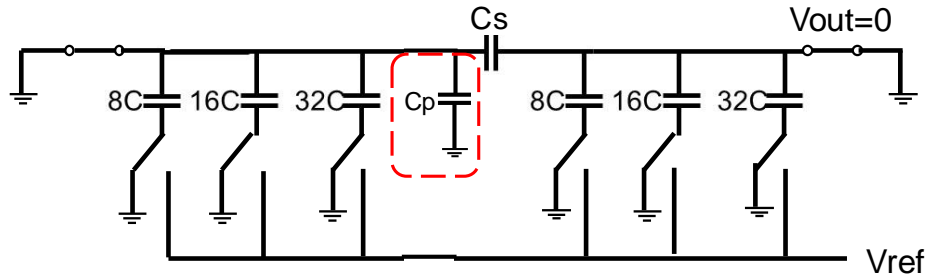
ここでは簡単のため図 5. 1. 1 のような小規模の 6bit 回路を使用して、スプリット容量の左側に寄生容量 C_p がある場合について検証する。

初めに回路全体を初期化するために、図 5. 1. 1 (a) のように全容量を GND 接続して電荷量 0 の状態にする。さらに、右側のスイッチも ON にして GND 接続させ、この部分の電位 V_{out} を 0 にする。

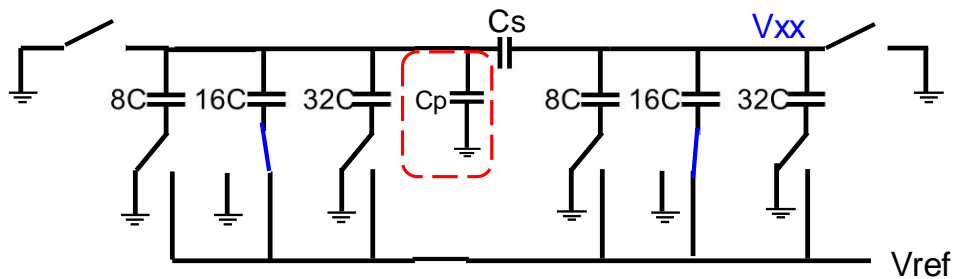
次に、図 5. 1. 1 (b) のように両端のスイッチを OFF にし、任意の容量を V_{ref} 接続する。この時 V_{ref} 接続された容量の和を xx と定義し、この xx 毎に図 5. 1. 1 (b) 中の V_{xx} の値が変化する。例えば、図 5. 1. 1 (b) では左側の $16C$ と右側の $16C$ が V_{ref} 接続されており、左側の $16C$ は $2C$ と等価なので、ここで V_{ref} 接続されている全容量和は $2C+16C=18C$ となる。この時 $xx=18$ となり、 V_{xx} は V_{18} と定義する。この回路では $xx=00\sim xx=63$ までであるので、それぞれの xx 毎の V_{xx} が $V_{01}\sim V_{63}$ まで存在し、以下この

V_{xx} の値について計算していく。

また、スプリット容量の位置によっても V_{xx} の結果が変わってくるので、スプリット容量の左側の容量数が 3 の時、2 の時、4 の時でもそれぞれ検証を行い、一般式を導出した。



(a) 初期化



(b) V_{xx} の状態

図 5. 1. 1 スプリット容量の左側に寄生容量がある場合の電荷再配分型 SAR ADC の DAC 部分（スプリット容量の左側の容量数が 3 の時）

5-1-1 スプリット容量の左側の容量数が 3 の時

ここでは 2 つの 3bit 2 進重み付け容量アレイを備えた回路について、寄生容量なしの場合と寄生容量ありの場合について検証する。

最初にスプリット容量の値を求める。スプリット容量より左側の 8C と 16C と 32C は C と 2C と 4C 等価であるため、次の式が成り立つ。

$$7C = \frac{56Cs}{56C + Cs} \quad (5. 1. 1)$$

これを解くと

$$Cs = 8C \quad (5. 1. 2)$$

となる。

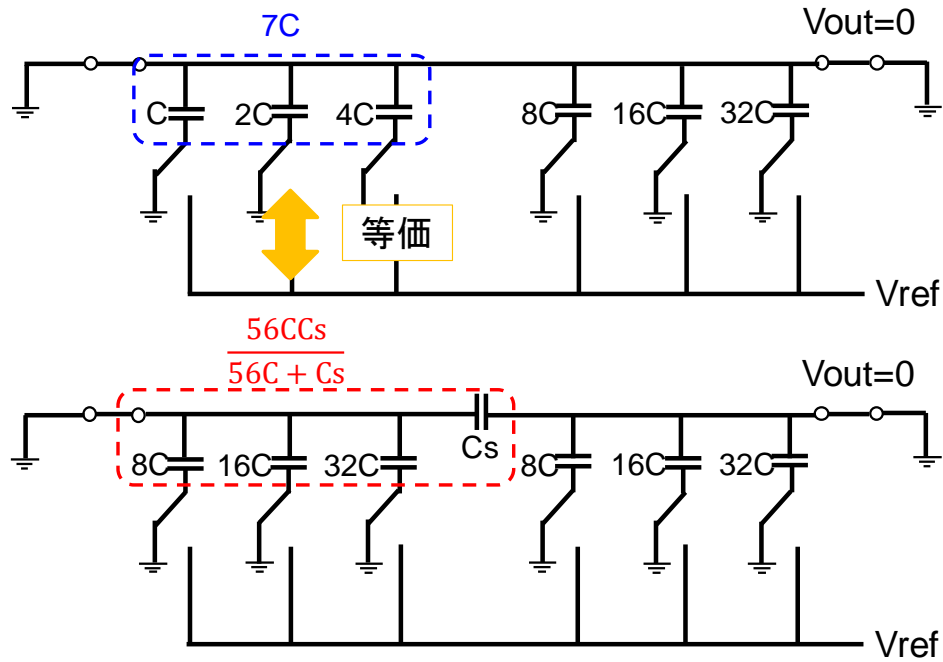


図 5. 1. 2 スプリット容量の左側の容量数が 3 の時の回路

まず、寄生容量なしの場合について説明する。 $xx=01$ の時、図 5. 1. 3 に示すように C と等価である左側の $8C$ のみが V_{ref} 接続されており、他の容量は GND 接続されている。スプリット容量 $8C$ より右側の電位を V_{01} 、左側の電位を V_{01}' と置き、 V_{01} の値を計算していく。図 5. 1. 3 のように電荷の正負を定義すると、初期値は全電荷 0 だったため電荷保存則から次の式が成り立つ。

$$Q_0 + Q_1 + Q_2 + Q_3 + Q_4 + Q_5 = 0 \quad (5. 1. 3)$$

$$Q_0 = 8C(V_{01}' - V_{ref}) \quad (5. 1. 4)$$

$$Q_1 = 16CV_{01}' \quad (5. 1. 5)$$

$$Q_2 = 32CV_{01}' \quad (5. 1. 6)$$

$$Q3 = 8CV01 \quad (5.1.7)$$

$$Q4 = 16CV01 \quad (5.1.8)$$

$$Q5 = 32CV01 \quad (5.1.9)$$

式(5.1.3)に式(5.1.4)～(5.1.9)を代入すると、

$$8C(V01' - Vref) + 16CV01' + 32CV01' + 8CV01 + 16CV01 + 32CV01 = 0 \quad (5.1.10)$$

式(5.1.10)を $V01$ について解くと、

$$V01 = \frac{8}{56}Vref - V01' \quad (5.1.11)$$

となる。ここで、 $V01'$ の値が不明なので次に $V01'$ について求める。

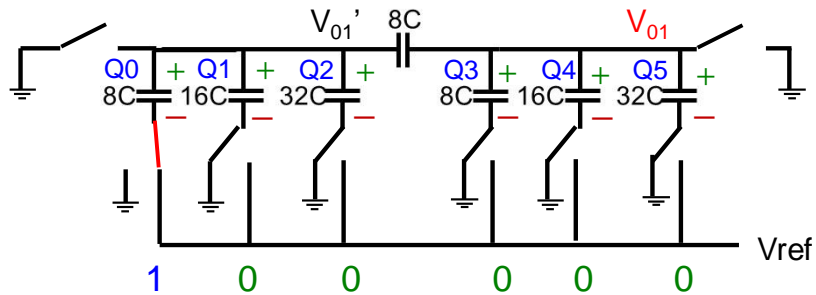


図 5.1.3 寄生容量なしの場合の回路図（スプリット容量より左側容量数 3）

電流は図 5.1.4 の赤い矢印の方向に流れるため、この図からスプリット容量を流れる電流が、スプリット容量より左側の $8C$ 、 $16C$ 、 $32C$ に分流していることがわかる。つまり、スプリット容量の電荷は $8C$ と $16C$ と $32C$ の電荷の和となっているため、次の式が成り立つ。

$$8C(V01 - V01') = 8C(V01' - Vref) + 16CV01' + 32CV01' \quad (5.1.12)$$

式(5.1.12)を $V01'$ について解くと、

$$V01' = \frac{8Vref + 8V01}{64} \quad (5.1.13)$$

となり、不明だった $V01'$ の値が求められた。

この式(5. 1. 13)を式(5. 1. 11)の V_{01}' に代入すると、

$$V_{01} = \frac{8V_{ref}}{56} - \frac{8V_{ref} + 8V_{01}}{64} \quad (5. 1. 14)$$

となり、これを V_{01} について解くと、

$$V_{01} = \frac{1}{63}V_{ref} \quad (5. 1. 15)$$

となる。

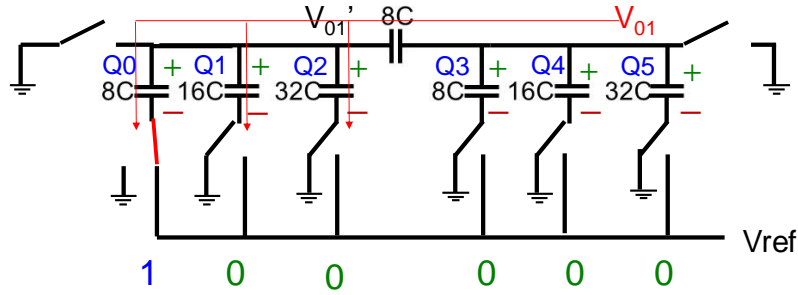


図 5. 1. 4 寄生容量なしの場合の電流の流れ（スプリット容量より左側容量数 3）

$xx=02$ 以降も同様に計算していくと、寄生容量なしの時の V_{xx} の公式は

$$V_{xx} = \frac{xx}{63}V_{ref} \quad (5. 1. 16)$$

となる。この時の V_{xx} は寄生容量のない理想的な状態なので、 V_{xx} は xx に比例しており常に線形である。

次に、スプリット容量の左側に寄生容量 C_p がある場合について説明する。寄生容量がある場合の $xx=01$ の時の回路は図 5. 1. 5 のようになる。スプリット容量 $8C$ より右側の電位を V_{01} 、左側の電位を V_{01}'' と置き、寄生容量なしの時と同様、 V_{01} の値を計算していくが、ここでは新たに寄生容量の電荷 Q_p が加わる点に注意する。

$$Q_0 + Q_1 + Q_2 + Q_p + Q_3 + Q_4 + Q_5 = 0 \quad (5. 1. 17)$$

$$Q_0 = 8C(V_{01}'' - V_{ref}) \quad (5. 1. 18)$$

$$Q_1 = 16CV_{01}'' \quad (5. 1. 19)$$

$$Q2 = 32CV01'' \quad (5.1.20)$$

$$Q3 = 8CV01 \quad (5.1.21)$$

$$Q4 = 16CV01 \quad (5.1.22)$$

$$Q5 = 32CV01 \quad (5.1.23)$$

$$Qp = CpV01'' \quad (5.1.24)$$

式(5.1.17)に式(5.1.18)～(5.1.24)を代入すると、

$$\begin{aligned} 8C(V01'' - Vref) + 16CV01'' + 32CV01'' + CpV01'' \\ + 8CV01 + 16CV01 + 32CV01 = 0 \end{aligned} \quad (5.1.25)$$

式(5.1.25)を $V01$ について解くと、

$$V01 = \frac{8}{56}Vref - \frac{56 + \alpha}{56}V01'' \quad (5.1.26)$$

となる。ただし、

$$\alpha = \frac{Cp}{C} \quad (5.1.27)$$

と定義する。ここでも不明な値 $V01''$ が現れるので、以下 $V01''$ について求める。

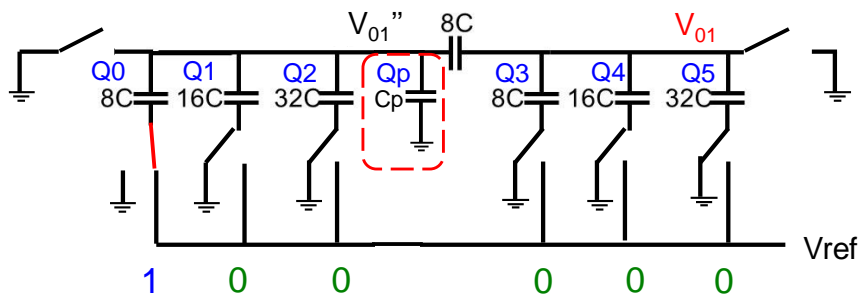


図 5.1.5 左側寄生容量ありの場合の回路図（スプリット容量より左側容量数 3）

寄生容量なしの場合と同様に、電流は図 5. 1. 6 の赤い矢印の方向に流れるが、ここでは寄生容量 C_p があるため、スプリット容量の電荷は $8C$ と $16C$ と $32C$ と寄生容量 C_p の電荷の和となる。このため、次の式が成り立つ。

$$8C(V_{01} - V_{01}'') = 8C(V_{01}'' - V_{ref}) + 16CV_{01}'' + 32CV_{01}'' + C_pV_{01}'' \quad (5. 1. 28)$$

式(5. 1. 28)を V_{01}'' について解くと、

$$V_{01}'' = \frac{8V_{ref} + 8V_{01}}{64 + \alpha} \quad (5. 1. 29)$$

となり、不明だった V_{01}'' の値が求まり、さらに寄生容量なしの時の V_{01}' と比較すると分母に α が加わることが分かった。

この式(5. 1. 29)を式(5. 1. 26)の V_{01}'' に代入すると、

$$V_{01} = \frac{8V_{ref}}{56} - \frac{56 + \alpha}{56} \frac{8V_{ref} + 8V_{01}}{64 + \alpha} \quad (5. 1. 30)$$

となり、これを V_{01} について解くと、

$$V_{01} = \frac{64}{4032 + 64\alpha} V_{ref} \quad (5. 1. 31)$$

となる。

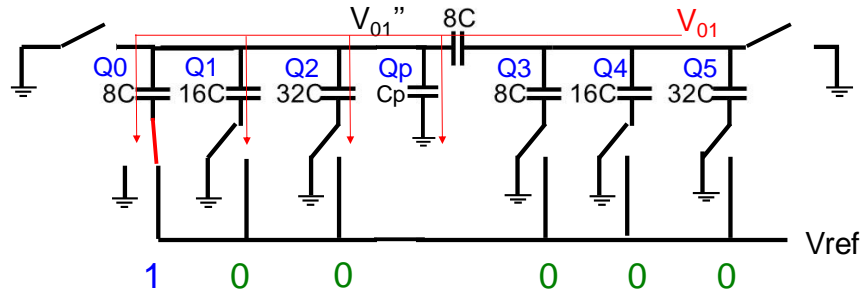


図 5. 1. 6 左側寄生容量ありの場合の電流の流れ（スプリット容量より左側容量数 3）

$xx=02$ 以降も同様に計算していくと、寄生容量ありの時の V_{xx} の公式は表 5. 1. 1 のようになる。

表 5. 1. 1. 左側寄生容量ありの場合の V_{xx} の公式（スプリット容量より左側容量数 3）

$xx=00 \sim xx=07$ まで	$V_{xx} = \frac{8xx}{63 \times 8 + 8\alpha} V_{ref}$
$xx=08 \sim xx=15$ まで	$V_{xx} = \frac{8xx + \alpha}{63 \times 8 + 8\alpha} V_{ref}$

xx=16～xx=23 まで	$V_{xx} = \frac{8xx + 2\alpha}{63 \times 8 + 8\alpha} V_{ref}$
xx=24～xx=31 まで	$V_{xx} = \frac{8xx + 3\alpha}{63 \times 8 + 8\alpha} V_{ref}$
xx=32～xx=39 まで	$V_{xx} = \frac{8xx + 4\alpha}{63 \times 8 + 8\alpha} V_{ref}$
xx=40～xx=47 まで	$V_{xx} = \frac{8xx + 5\alpha}{63 \times 8 + 8\alpha} V_{ref}$
xx=48～xx=55 まで	$V_{xx} = \frac{8xx + 6\alpha}{63 \times 8 + 8\alpha} V_{ref}$
xx=56～xx=63 まで	$V_{xx} = \frac{8xx + 7\alpha}{63 \times 8 + 8\alpha} V_{ref}$

この表より、 V_{xx} の式は 8 毎に変化することが分かった。なお、寄生容量がない場合、 $C_p=0$ 、つまり $\alpha=0$ になるので、どの xx でも $V_{xx}=(xx/63)V_{ref}$ となり、寄生容量なしの時の V_{xx} の公式(5. 1. 16)と一致する。

$V_{ref}=1$ 、 $\alpha=10$ として表 5. 1. 1 をグラフ化すると図 5. 1. 7 のようになり、8 の倍数で非線形になっていることが分かる。8 の倍数毎に線形性が崩れるのは、8 毎にスプリット容量の右側の容量が切り替わるからである。スプリット容量より左側の容量は $8C$ 、 $16C$ 、 $32C$ で、これは C 、 $2C$ 、 $4C$ と等価であるため、スプリット容量より左側の容量で表される最大値は 7 である。よって 8 の倍数毎に右側の容量スイッチを切り替える必要があり、スプリット容量を挟んでのスイッチの変化があるため、寄生容量の影響を大きく受け V_{xx} の式が変化する。したがって、スプリット容量より右側の容量重みの倍数で寄生容量の影響が現れ線形性が崩れる。

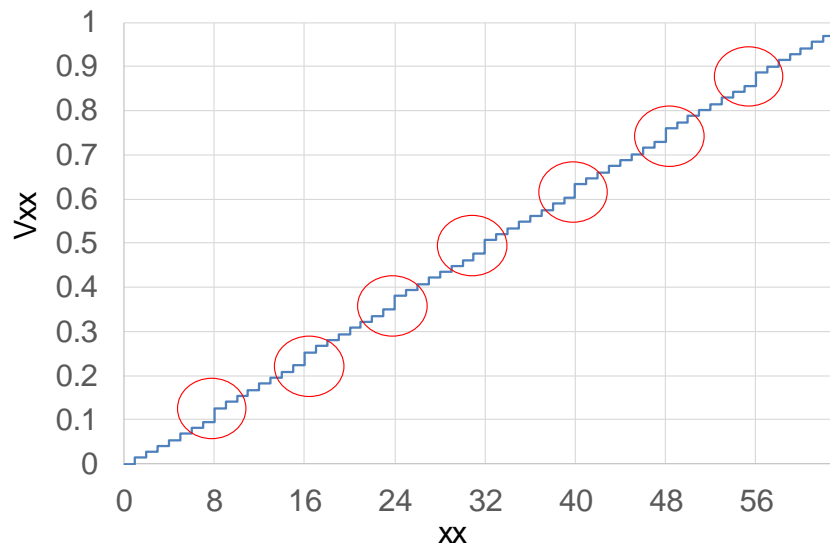


図 5. 1. 7 左側寄生容量による影響（スプリット容量より左側容量数 3）

5-1-2 スプリット容量の左側の容量数が 2 の時

次に、図 5. 1. 8 のようにスプリット容量の左側の容量数が 2 の時の回路について 5-1-1 と同様に検証する。スプリット容量の位置が 5-1-1 の時と変わっているため、スプリット容量の値も変わる。スプリット容量より左側の $4C$ と $8C$ は C と $2C$ と等価であるため、次の式が成り立つ。

$$3C = \frac{12CC_s}{12C + C_s} \quad (5. 1. 32)$$

これを解くと

$$C_s = 4C \quad (5. 1. 33)$$

となる。

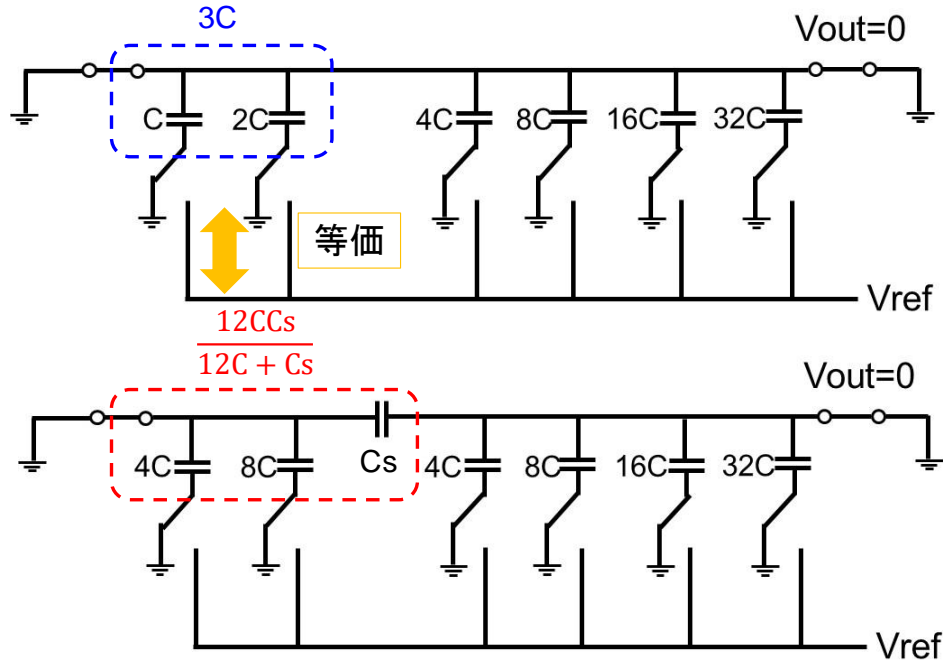


図 5. 1. 8 スプリット容量の左側の容量数が 2 の時の回路

寄生容量なしの場合については 5-1-1 の時と同様、 $V_{xx}=(xx/63)V_{ref}$ となり、 V_{xx} が xx に比例し線形となった。これはスプリット容量より左側の容量数が 3 から 2 に変化しても、全容量和が 63 という点が変わらないので、 V_{xx} の公式も変わらないからである。

次に、スプリット容量の左側に寄生容量 C_p がある場合についても同様に検証する。寄生容量がある場合の $xx=01$ の時の回路は図 5. 1. 9 のようになる。スプリット容量 $4C$ より右側の電位を V_{01} 、左側の電位を V_{01}'' と置き、以下 V_{01} の値を求める。

$$Q_0 + Q_1 + Q_p + Q_2 + Q_3 + Q_4 + Q_5 = 0 \quad (5. 1. 34)$$

$$Q_0 = 4C(V_{01}'' - V_{ref}) \quad (5. 1. 35)$$

$$Q_1 = 8CV_{01}'' \quad (5. 1. 36)$$

$$Q_2 = 4CV_{01} \quad (5. 1. 37)$$

$$Q3 = 8CV01 \quad (5.1.38)$$

$$Q4 = 16CV01 \quad (5.1.39)$$

$$Q5 = 32CV01 \quad (5.1.40)$$

$$Qp = CpV01'' \quad (5.1.41)$$

式(5.1.34)に式(5.1.35)～(5.1.41)を代入すると、

$$\begin{aligned} 4C(V01'' - Vref) + 8CV01'' + CpV01'' \\ + 4CV01 + 8CV01 + 16CV01 + 32CV01 = 0 \end{aligned} \quad (5.1.42)$$

式(5.1.42)を $V01$ について解くと、

$$V01 = \frac{4}{60}Vref - \frac{12 + \alpha}{60}V01'' \quad (5.1.43)$$

となる。なお、ここでも、

$$\alpha = \frac{Cp}{C} \quad (5.1.44)$$

と定義する。不明な値 $V01''$ が現れるので、以下 $V01''$ について求める。

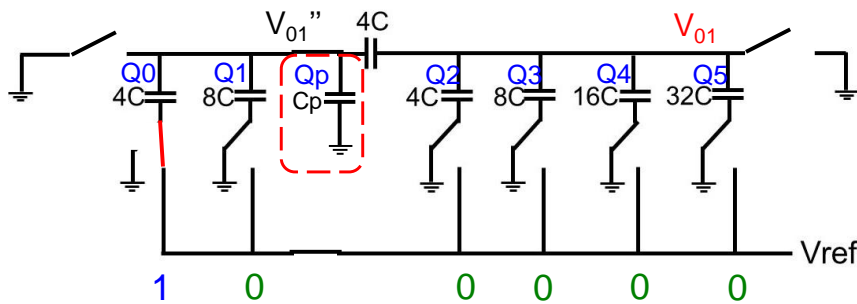


図 5.1.9 左側寄生容量ありの場合の回路図（スプリット容量より左側容量数 2）

電流は図 5.1.10 の赤い矢印の方向に流れ、スプリット容量の電荷は $4C$ と $8C$ と寄生容量 Cp の電荷の和となる。このため、次の式が成り立つ。

$$4C(V_{01} - V_{01}'') = 4C(V_{01}'' - V_{ref}) + 8CV_{01}'' + C_pV_{01}'' \quad (5. 1. 45)$$

式(5. 1. 45)を V_{01}'' について解くと、

$$V_{01}'' = \frac{4V_{ref} + 4V_{01}}{16 + \alpha} \quad (5. 1. 46)$$

となり、不明だった V_{01}'' の値が求まった。

この式(5. 1. 46)を式(5. 1. 43)の V_{01}'' に代入すると、

$$V_{01} = \frac{4V_{ref}}{60} - \frac{12 + \alpha}{60} \frac{4V_{ref} + 4V_{01}}{16 + \alpha} \quad (5. 1. 47)$$

となり、これを V_{01} について解くと、

$$V_{01} = \frac{4}{252 + 16\alpha} V_{ref} \quad (5. 1. 48)$$

となる。

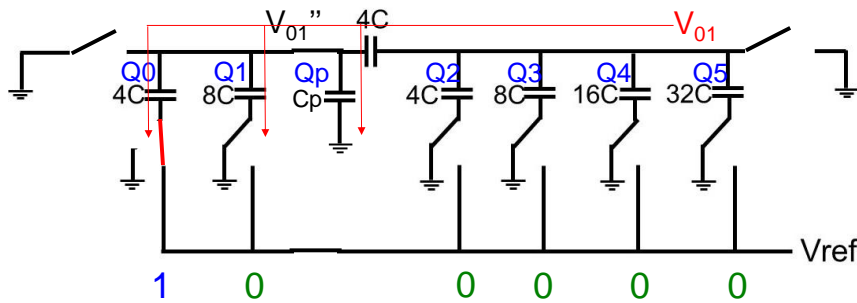


図 5. 1. 10 左側寄生容量ありの場合の電流の流れ（スプリット容量より左側容量数 2）

$xx=02$ 以降も同様に計算していくと、寄生容量ありの時の V_{xx} の公式は表 5. 1. 2 のようになる。

表 5. 1. 2. 左側寄生容量ありの場合の V_{xx} の公式（スプリット容量より左側容量数 2）

$xx=00 \sim xx=03$ まで	$V_{xx} = \frac{4xx}{63 \times 4 + 16\alpha} V_{ref}$
$xx=04 \sim xx=07$ まで	$V_{xx} = \frac{4xx + \alpha}{63 \times 4 + 16\alpha} V_{ref}$
$xx=08 \sim xx=11$ まで	$V_{xx} = \frac{4xx + 2\alpha}{63 \times 4 + 16\alpha} V_{ref}$
$xx=12 \sim xx=15$ まで	$V_{xx} = \frac{4xx + 3\alpha}{63 \times 4 + 16\alpha} V_{ref}$

xx=16～xx=19 まで	$V_{xx} = \frac{4xx + 4\alpha}{63 \times 4 + 16\alpha} V_{ref}$
xx=20～xx=23 まで	$V_{xx} = \frac{4xx + 5\alpha}{63 \times 4 + 16\alpha} V_{ref}$
xx=24～xx=27 まで	$V_{xx} = \frac{4xx + 6\alpha}{63 \times 4 + 16\alpha} V_{ref}$
xx=28～xx=31 まで	$V_{xx} = \frac{4xx + 7\alpha}{63 \times 4 + 16\alpha} V_{ref}$

この表より、 V_{xx} の式は 4 毎に変化することが分かった。なお、この場合も寄生容量がない場合、 $C_p=0$ 、つまり $\alpha=0$ になるので、どの xx でも $V_{xx}=(xx/63)V_{ref}$ となり、寄生容量なしの時の V_{xx} の公式(5. 1. 16)と一致する。

$V_{ref}=1$ 、 $\alpha=10$ として表 5. 1. 2 をグラフ化すると図 5. 1. 11 のようになり、4 の倍数で非線形になっていることが分かる。4 の倍数毎に線形性が崩れるのは、この回路では 4 毎にスプリット容量の右側の容量が切り替わるからである。スプリット容量より左側の容量は $4C$ 、 $8C$ で、これは C 、 $2C$ と等価であるため、スプリット容量より左側の容量で表される最大値は 3 である。よって 4 の倍数毎に右側の容量スイッチを切り替える必要があり、スプリット容量を挟んでのスイッチの変化があるため、寄生容量の影響を大きく受け V_{xx} の式が変化する。したがって、この場合も 5-1-1 の時と同様、スプリット容量より右側の容量重みの倍数で寄生容量の影響が現れ線形性が崩れる。

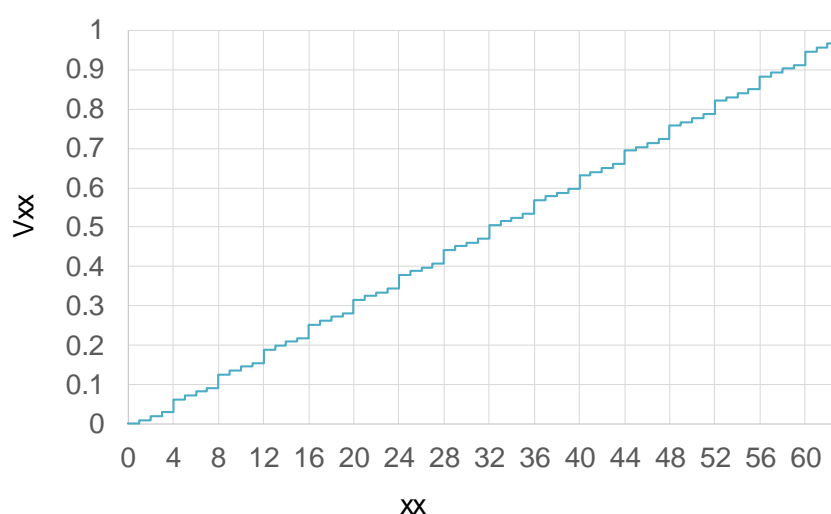


図 5. 1. 11 左側寄生容量による影響（スプリット容量より左側容量数 2）

5-1-3 スプリット容量の左側の容量数が 4 の時

最後に、図 5. 1. 12 のようにスプリット容量の左側の容量数が 4 の時の回路について 5-1-1、5-1-2 と同様に検証する。スプリット容量の位置が 5-1-1、5-1-2 の時と変わっているため、ここでもスプリット容量の値が変わる。スプリット容量より左側の 4C、8C、16C、32C は C、2C、4C、8C と等価であるため、次の式が成り立つ。

$$15C = \frac{60CCs}{60C + Cs} \quad (5. 1. 49)$$

これを解くと

$$Cs = 20C \quad (5. 1. 50)$$

となる。

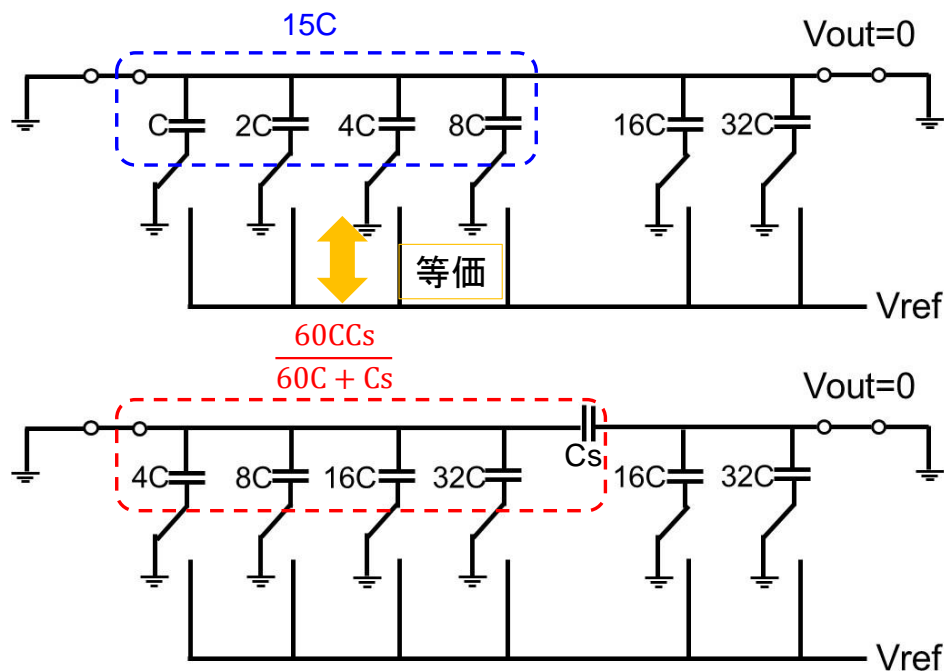


図 5. 1. 12 スプリット容量の左側の容量数が 4 の時の回路

寄生容量なしの場合については 5-1-1、5-1-2 の時と同様、 $V_{xx} = (xx/63)V_{ref}$ となり、 V_{xx} が xx に比例し線形となった。これはスプリット容量より左側の容量数が 4 に変化しても、全容量和が 63 という点が変わらないので、 V_{xx} の公式も変わらないからである。

次に、スプリット容量の左側に寄生容量 C_p がある場合についても同様に検証する。寄生容量がある場合の $xx=01$ の時の回路は図 5. 1. 13 のようになる。スプリット容量 $20C$ より右側の電位を V_{01} 、左側の電位を V_{01}' と置き、以下 V_{01} の値を求める。

$$Q0 + Q1 + Q2 + Q3 + Qp + Q4 + Q5 = 0 \quad (5. 1. 51)$$

$$Q0 = 4C(V01'' - Vref) \quad (5. 1. 52)$$

$$Q1 = 8CV01'' \quad (5. 1. 53)$$

$$Q2 = 16CV01'' \quad (5. 1. 54)$$

$$Q3 = 32CV01'' \quad (5. 1. 55)$$

$$Q4 = 16CV01 \quad (5. 1. 56)$$

$$Q5 = 32CV01 \quad (5. 1. 57)$$

$$Qp = CpV01'' \quad (5. 1. 58)$$

式(5. 1. 51)に式(5. 1. 52)～(5. 1. 58)を代入すると、

$$4C(V01'' - Vref) + 8CV01'' + 16CV01'' + 32CV01'' + CpV01'' + 16CV01 + 32CV01 = 0 \quad (5. 1. 59)$$

式(5. 1. 59)を $V01$ について解くと、

$$V01 = \frac{4}{48}Vref - \frac{60 + \alpha}{48}V01'' \quad (5. 1. 60)$$

となる。なお、ここでも、

$$\alpha = \frac{Cp}{C} \quad (5. 1. 61)$$

と定義する。不明な値 V_{01}'' が現れるので、以下 V_{01}'' について求める。

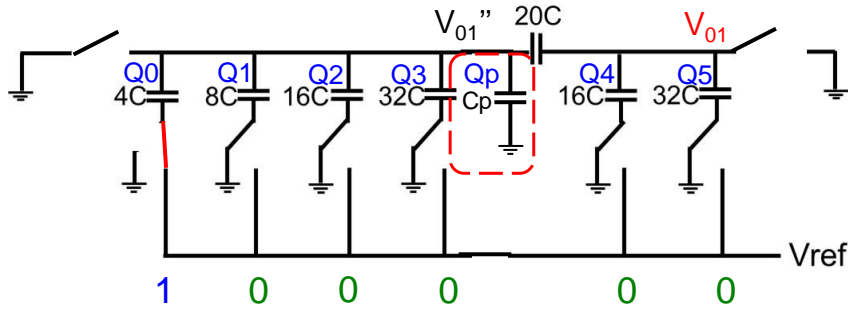


図 5. 1. 13 左側寄生容量ありの場合の回路図（スプリット容量より左側容量数 4）

電流は図 5. 1. 14 の赤い矢印の方向に流れ、スプリット容量の電荷は $4C$ 、 $8C$ 、 $16C$ 、 $32C$ と寄生容量 C_p の電荷の和となる。このため、次の式が成り立つ。

$$20C(V_{01} - V_{01}'') = 4C(V_{01}'' - V_{ref}) + 8CV_{01}'' + 16CV_{01}'' + 32CV_{01}'' + C_p V_{01}'' \quad (5. 1. 62)$$

式(5. 1. 62)を V_{01}'' について解くと、

$$V_{01}'' = \frac{4V_{ref} + 20V_{01}}{80 + \alpha} \quad (5. 1. 63)$$

となり、不明だった V_{01}'' の値が求まった。

この式(5. 1. 63)を式(5. 1. 60)の V_{01}'' に代入すると、

$$V_{01} = \frac{4V_{ref}}{48} - \frac{60 + \alpha}{48} \frac{4V_{ref} + 20V_{01}}{80 + \alpha} \quad (5. 1. 64)$$

となり、これを V_{01} について解くと、

$$V_{01} = \frac{20}{1260 + 17\alpha} V_{ref} \quad (5. 1. 65)$$

となる。

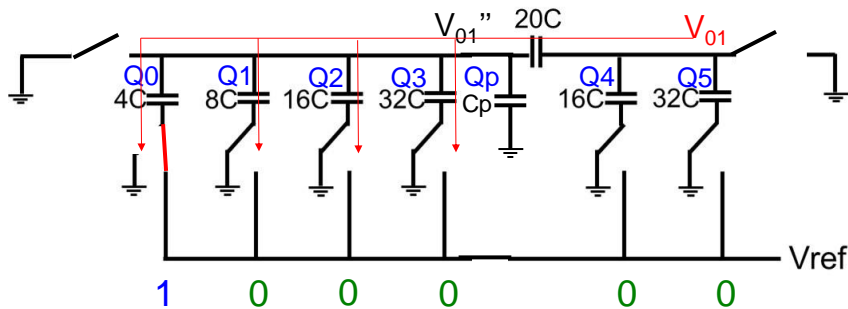


図 5. 1. 14 左側寄生容量ありの場合の電流の流れ（スプリット容量より左側容量数 4）

xx=02以降も同様に計算していくと、寄生容量ありの時のV_{xx}の公式は表5.1.3のようになる。

表 5. 1. 3. 左側寄生容量ありの場合のV_{xx}の公式（スプリット容量より左側容量数4）

xx=00～xx=15 まで	$V_{xx} = \frac{20xx}{63 \times 20 + 17\alpha} V_{ref}$
xx=16～xx=31 まで	$V_{xx} = \frac{20xx + 4\alpha}{63 \times 20 + 17\alpha} V_{ref}$
xx=32～xx=47 まで	$V_{xx} = \frac{20xx + 8\alpha}{63 \times 20 + 17\alpha} V_{ref}$
xx=48～xx=63 まで	$V_{xx} = \frac{20xx + 12\alpha}{63 \times 20 + 17\alpha} V_{ref}$

この表より、V_{xx}の式は16毎に変化することが分かった。なお、この場合も寄生容量がない場合、C_p=0、つまりα=0になるので、どのxxでもV_{xx}=(xx/63)V_{ref}となり、寄生容量なしの時のV_{xx}の公式(5.1.16)と一致する。

V_{ref}=1、α=10として表5.1.3をグラフ化すると図5.1.15のようになり、16の倍数で非線形になっていることが分かる。16の倍数毎に線形性が崩れるのは、この回路では16毎にスプリット容量の右側の容量が切り替わるからである。スプリット容量より左側の容量は4C、8C、16C、32Cで、これはC、2C、4C、8Cと等価であるため、スプリット容量より左側の容量で表される最大値は15である。よって16の倍数毎に右側の容量スイッチを切り替える必要があり、スプリット容量を挟んでのスイッチの変化があるため、寄生容量の影響を大きく受けV_{xx}の式が変化する。したがって、この場合も5-1-1、5-1-2の時と同様、スプリット容量より右側の容量重みの倍数で寄生容量の影響が現れ線形性が崩れる。

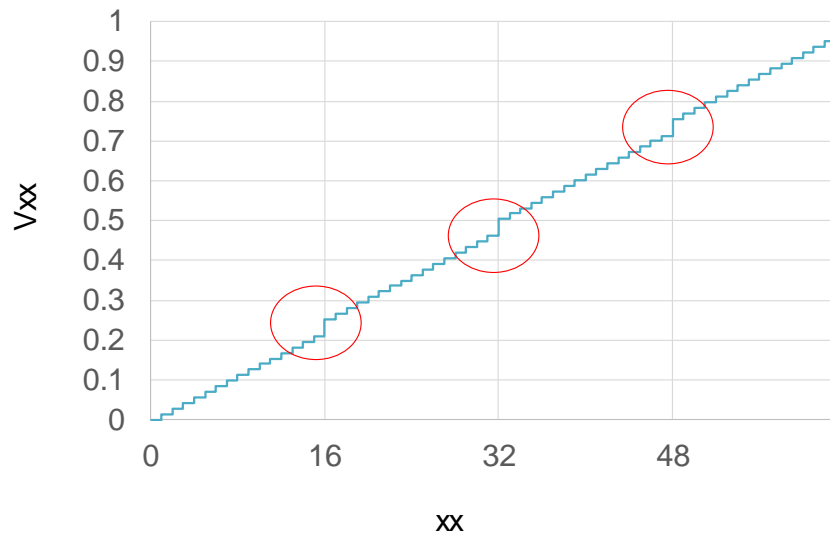


図 5. 1. 15 左側寄生容量による影響（スプリット容量より左側容量数 4）

5-1-4 スプリット容量の左側に寄生容量がある場合の一般式の導出

ここでは、上記で検証したパターンを踏まえ一般式の導出を行う。寄生容量があると公式は複雑化するが、法則があることが分かったので説明する。

表 5. 1. 1～表 5. 1. 3 の V_{xx} の公式をまとめると、次のようになる。ここで、回路の形状によって統一できなかったパラメータは、現時点では法則が分からないため、A、B と置いて以下で議論する。

$$V_{xx} = \frac{(\text{スプリット容量}/C) \times xx + B\alpha}{63 \times (\text{スプリット容量}/C) + A\alpha} V_{\text{ref}} \quad (5. 1. 66)$$

A と B は表 5. 1. 4 のようになる。

表 5. 1. 4. 式(5. 1. 66)の A と B

	左側容量数 3 スプリット容量=8C	左側容量数 2 スプリット容量=4C	左側容量数 4 スプリット容量=20C
A	8	16	17
B	1 ずつ増加	1 ずつ増加	4 ずつ増加

式(5. 1. 66)の分母の 63 は 2 進重み付け容量の総和で、この 3 つの回路はスプリット容量の位置が異なるだけなので、全容量和 63 は共通である。スプリット容量の位置によって変わってくるのが A と B なので、以下この A と B の法則について解説する。

1) A の導出

まず、A の導出のために途中計算を検証する。ここで、スプリット容量の左側容量数が 4 の時の V_{01} の式(5. 1. 65)を使用する。この式は式(5. 1. 64)を整理して V_{01} について解いた式であり、この途中計算については以下のようにになっている。

$$V_{01} = \frac{V_{ref}}{12} - \frac{60 + \alpha}{12} \frac{V_{ref} + 5V_{01}}{80 + \alpha} \quad (5. 1. 67)$$

$$960V_{01} + 12\alpha V_{01} = 80V_{ref} + \alpha V_{ref} - 60V_{ref} - 300V_{01} - \alpha V_{ref} - 5\alpha V_{01} \quad (5. 1. 68)$$

$$(1260 + 17\alpha)V_{01} = 20V_{ref} \quad (5. 1. 69)$$

式(5. 1. 64)を変形していくと、式(5. 1. 67)、式(5. 1. 68)、式(5. 1. 69)を経て、最終的に式(5. 1. 65)になる。

この式(5. 1. 65)の A に該当する部分は 17 で、逆算していくと式(5. 1. 69)の $17\alpha V_{01}$ がこれに該当する。この $17\alpha V_{01}$ は式(5. 1. 68)の $12\alpha V_{01} + 5\alpha V_{01}$ から構成されているので、さらに 12 と 5 について見ていく。12 は式(5. 1. 67)の分母から来ているが、式(5. 1. 67)は式(5. 1. 64)を 4 で約分した式なので、元は 48 であった。また、5 は式(5. 1. 67)の分子にあるが、式(5. 1. 64)を 4 で約分する前は 20 であった。48 はスプリット容量より右側の容量和 $16 + 32$ 、20 はスプリット容量の値となっている。4 で約分できるのは、ここでの回路中の最小容量が 4 なので、全ての容量が 4 を含んでおり最大公約数になっているからである。

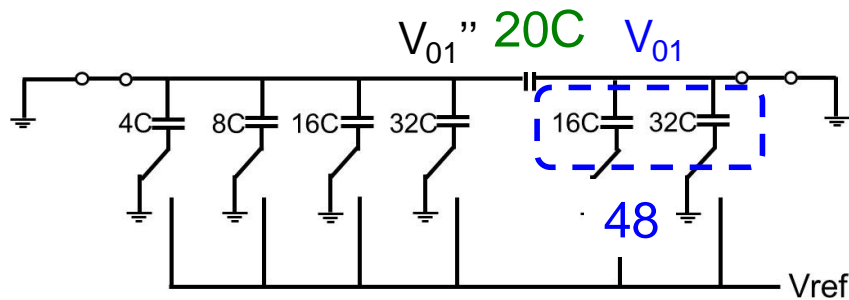


図 5. 1. 16 スプリット容量の左側容量数が 4 の時の回路

次に、スプリット容量より右側の容量和 48 とスプリット容量の値 5 が現れる理由について説明する。

48 については式(5. 1. 64)をさらに逆算して考察する。式(5. 1. 64)の元の式は式(5. 1. 59)で、これを

$$48CV01=4CVref-(60+\alpha)CV01'' \quad (5.1.70)$$

と変形することで得られる。48 は式(5.1.70)の 48CV01 から来ており、48CV01 は式(5.1.59)の 16CV01+32CV01 から来ている。これより V01 が関係しており、図 5.1.16 に示すように V01 はスプリット容量の右側の電圧なので、電荷量に V01 の項が含まれる右側の容量の総和 48 が現れる。

20 については式(5.1.64)の元々 V01'' だった箇所にあるので、V01'' の式(5.1.63)について見ていく。20 の項は式(5.1.63)の 20CV01 から来ており、式(5.1.63)の元の式である式(5.1.62)において、V01 を含む項は左辺の 20C(V01-V01'')のみである。これはスプリット容量の電荷量を示しているなので、ここでスプリット容量の値 20 が現れるのである。

以上をまとめると、A の式は

$$A = \frac{\text{スプリット容量より右側の容量の総和}}{\text{最小容量}} + \frac{\text{スプリット容量の値}}{\text{最小容量}} \quad (5.1.71)$$

のようになり、上記の 3 つの回路に当てはめると、表 5.1.5 のようになる。これより、式(5.1.71)に代入して求めた表 5.1.5 の A は上記で導出した Vxx の A に該当する部分の値と一致していることが確認できる。

表 5.1.5. 3 つの回路の A

	左側容量数 3	左側容量数 2	左側容量数 4
スプリット容量より 右側の容量の総和	56	60	48
スプリット容量の値	8	4	20
最小容量	8	4	4
途中式	$A = \frac{56}{8} + \frac{8}{8}$ $= 7 + 1$	$A = \frac{60}{4} + \frac{4}{4}$ $= 15 + 1$	$A = \frac{48}{4} + \frac{20}{4}$ $= 12 + 5$
A	8	16	17

2) B の導出

次に、B の導出を行う。ここでは、スプリット容量の左側容量数が 4 の時の V18 の式

$$V18 = \frac{360+4\alpha}{1260+17\alpha}Vref \quad (5.1.72)$$

を使用する。ここで B に該当するのは 4 なので、A の時と同様途中計算から検証する。式

(5. 1. 72)は以下の式(5. 1. 73)～式(5. 1. 76)を経て導出される。

$$V_{18} = \frac{24V_{ref}}{48} - \frac{60+\alpha}{48} \frac{8V_{ref} + 20V_{18}}{80 + \alpha} \quad (5. 1. 73)$$

$$V_{18} = \frac{6V_{ref}}{12} - \frac{60+\alpha}{12} \frac{2V_{ref} + 5V_{18}}{80 + \alpha} \quad (5. 1. 74)$$

$$960V_{18} + 12\alpha V_{18} = 480V_{ref} + 6\alpha V_{ref} - 120V_{ref} - 300V_{18} - 2\alpha V_{ref} - 5\alpha V_{18} \quad (5. 1. 75)$$

$$(1260 + 17\alpha)V_{18} = 360V_{ref} + 4\alpha V_{ref} \quad (5. 1. 76)$$

逆算していくと、4に該当する項は式(5. 1. 76)では $4\alpha V_{ref}$ で、さらに式(5. 1. 75)では $+6\alpha V_{ref} - 2\alpha V_{ref}$ がこれに該当する。つまり、4は $6 - 2$ からなっているので、6と2についてさらに検証する。6は式(5. 1. 74)では右辺第一項分子に、2は右辺第二項分子に存在しており、これは式(5. 1. 73)を4で約分したものである元はそれぞれ24と8であった。4で約分できるというのはAの時と同様、回路中の最小容量（単位）が4なので、4が最大公約数になるからである。

24は $xx=18$ の時 V_{ref} 接続されている全容量和で、8はスプリット容量より左側の V_{ref} 接続されている容量和なので、次にこれらが現れる理由について解説する。

24については式(5. 1. 73)の前の式

$$48CV_{18} = 24CV_{ref} - (60 + \alpha)CV_{18}'' \quad (5. 1. 77)$$

を使用する。これより24には V_{ref} が関係しているので、図 5. 1. 17 に示すように V_{ref} 接続されている容量の和から来ている。 $xx=18$ の時、 $2C$ と等価の左側の $8C$ と右側の $16C$ が V_{ref} 接続されるので、全容量和24が現れる。

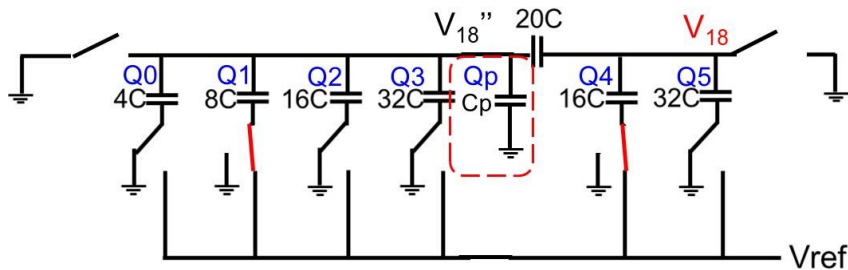


図 5. 1. 17 スプリット容量の左側容量数が4の時の回路 ($xx=18$)

次に 8 についてだが、8 は式(5. 1. 73)の $V18''$ に該当する部分にあるので、 $V18''$ の式について見ていく。これは式(5. 1. 78)を変形することで得られる。

$$20C(V18-V18'')=4CV18''+8C(V18''-V_{ref})+16CV18''+32CV18''+C_pV18'' \quad (5. 1. 78)$$

$$V18'' = \frac{8V_{ref} + 20V18}{80 + \alpha} \quad (5. 1. 79)$$

式(5. 1. 79)の $8V_{ref}$ は式(5. 1. 78)の V_{ref} を含む項 $8C(V18''-V_{ref})$ から来ている。 $V18''$ を導出する時はスプリット容量より左側にしか着目しないので、左側で V_{ref} 接続されている容量和 8 がここで現れるのである。

このように 24 や 8 といった値は α 毎に変わってしまうが、 B に該当する 4 は 24 と 8 の差を最小単位 4 で割ることで得られるので、この $24-8$ について見ていく。これは、 V_{ref} 接続されている全容量和 $24-V_{ref}$ 接続されているスプリット容量より左側の容量和 8 であるから、この差分は V_{ref} 接続されているスプリット容量より右側の容量和となる。右側の容量スイッチが切り替わるのは、右側の容量重みの倍数毎なので、 B は次の容量重みの倍数までは一定である。この回路では右側の容量重みが 16 なので、16 の倍数で差分が 16 ずつ繰り上がることになる。

以上をまとめると、 B の一般式は次のようになる。

$$B = \frac{\text{スプリット容量より右側の容量重み}}{\text{最小容量}} \quad (5. 1. 81)$$

この式を用いて、それぞれの回路ごとに B を導出すると、表 5. 1. 6 のようになる。この B の式から計算した値は、表 5. 1. 4 の V_{xx} の B に該当する部分の値と一致していることが確認できる。

表 5. 1. 6. 3 つの回路の B

	左側容量数 3	左側容量数 2	左側容量数 4
スプリット容量より 右側の容量重み	8 毎	4 毎	16 毎
最小容量	8	4	4
途中式	$B = \frac{8}{8}$	$B = \frac{4}{4}$	$B = \frac{16}{4}$
B	1 ずつ増加	1 ずつ増加	4 ずつ増加

したがって、式(5. 1. 66)に A の式(5. 1. 71)と B の式(5. 1. 81)を代入することで V_{xx} の一般式が導出できる。つまり、回路の形状（全容量和とスプリット容量の位置）が明らかであれば V_{xx} の一般式は導出可能であり、非線形性が現れるコードも事前に把握することができる。

5-2 スプリット容量の右側に寄生容量がある場合

次に、図 5. 2. 1 のようにスプリット容量の右側に寄生容量がある場合についても、5-1 と同様に検証を行った。

5-2-1 スプリット容量の左側の容量数が 3 の時

ここでは 2 つの 3bit 2 進重み付け容量アレイを備えた回路について検証する。スプリット容量より右側に寄生容量 C_{p2} がある場合の $xx=01$ の時の回路は図 5. 2. 1 のようになる。スプリット容量 $8C$ より右側の電位を V_{01} 、左側の電位を V_{01}' と置き、 V_{01} の値を計算していく。

$$Q_0 + Q_1 + Q_2 + Q_p + Q_3 + Q_4 + Q_5 = 0 \quad (5. 2. 1)$$

$$Q_0 = 8C(V_{01}' - V_{ref}) \quad (5. 2. 2)$$

$$Q_1 = 16CV_{01}' \quad (5. 2. 3)$$

$$Q_2 = 32CV_{01}' \quad (5. 2. 4)$$

$$Q_3 = 8CV_{01} \quad (5. 2. 5)$$

$$Q_4 = 16CV_{01} \quad (5. 2. 6)$$

$$Q_5 = 32CV_{01} \quad (5. 2. 7)$$

$$Qp = Cp2V01 \quad (5.2.8)$$

式(5.2.1)に式(5.2.2)～(5.2.8)を代入すると、

$$\begin{aligned} 8C(V01' - Vref) + 16CV01' + 32CV01' + Cp2V01 \\ + 8CV01 + 16CV01 + 32CV01 = 0 \end{aligned} \quad (5.2.9)$$

式(5.2.9)を $V01$ について解くと、

$$V01 = \frac{8}{56 + \beta} Vref - \frac{56}{56 + \beta} V01' \quad (5.2.10)$$

となる。ただし、

$$\beta = \frac{Cp2}{C} \quad (5.2.11)$$

と定義する。ここで不明な値 $V01'$ が現れるので、以下 $V01'$ について求める。

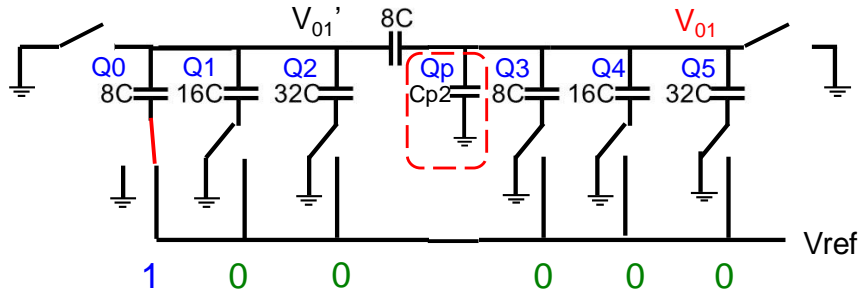


図 5.2.1 右側寄生容量ありの場合の回路図（スプリット容量より左側容量数 3）

電流は図 5.2.2 の赤い矢印の方向に流れ、スプリット容量の電荷は $8C$ と $16C$ と $32C$ の和となるため、次の式が成り立つ。なお、ここでは寄生容量 $Cp2$ がスプリット容量より右側にあるため、寄生容量については考慮しなくてよい。

$$8C(V01 - V01') = 8C(V01' - Vref) + 16CV01' + 32CV01' \quad (5.2.12)$$

式(5.2.12)を $V01'$ について解くと、

$$V01' = \frac{8Vref + 8V01}{64} \quad (5.2.13)$$

となり、不明だった $V01'$ の値が求まった。

この式(5.2.13)を式(5.2.10)の $V01'$ に代入すると、

$$V01 = \frac{8Vref}{56 + \beta} - \frac{56}{56 + \beta} \frac{8Vref + 8V01}{64} \quad (5.2.14)$$

となり、これを V01 について解くと、

$$V_{01} = \frac{1}{63 + \beta} V_{ref} \quad (5.2.15)$$

となる。

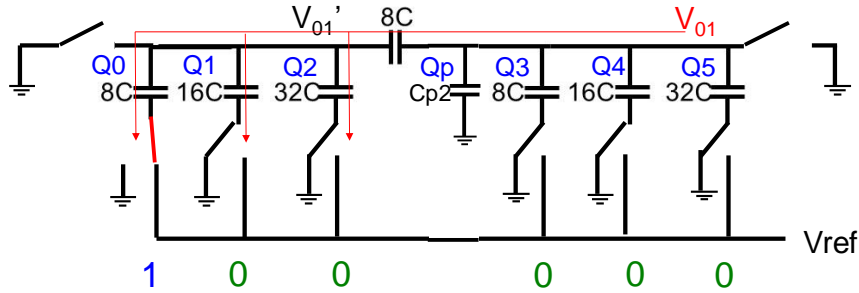


図 5.2.2 右側寄生容量ありの場合の電流の流れ（スプリット容量より左側容量数 3）

xx=02 以降も同様に計算していくと、スプリット容量の右側に寄生容量がある場合の Vxx の公式は次のようになる。

$$V_{xx} = \frac{xx}{63 + \beta} V_{ref} \quad (5.2.16)$$

この式より、Vxx は xx に比例し非線形性が現れないことが明らかになった。寄生容量がスプリット容量の左側にある場合は、8 の倍数で Vxx の式が変わっていたが、右側に寄生容量がある場合はどの xx でも Vxx の式が変わらず、線形となることが分かった。なお、寄生容量がない場合、Cp2=0、つまり $\beta=0$ になるので $V_{xx}=(xx/63)V_{ref}$ となり、寄生容量なしの時の Vxx の公式(5.1.16)と一致する。

Vref=1、 $\beta=10$ として式(5.2.16)をグラフ化すると図 5.2.3 のようになり、線形になっていることが確認できる。

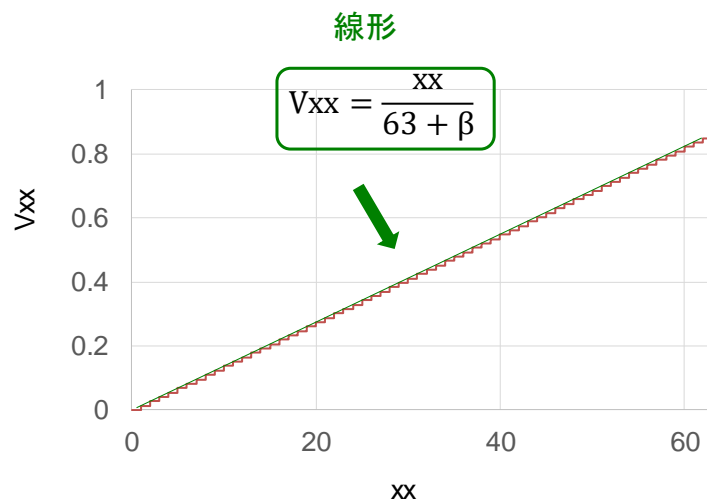


図 5. 2. 3 右側寄生容量による影響（スプリット容量より左側容量数 3）

5-2-2 スプリット容量の左側の容量数が 2 の時

次に、スプリット容量の左側の容量数が 2 の時の回路についても 5-2-1 と同様に検証する。スプリット容量の右側に寄生容量 C_{p2} がある場合の $xx=01$ の時の回路は図 5. 2. 4 のようになる。スプリット容量 $4C$ より右側の電位を V_{01} 、左側の電位を V_{01}' と置き、以下 V_{01} の値を求める。

$$Q_0 + Q_1 + Q_p + Q_2 + Q_3 + Q_4 + Q_5 = 0 \quad (5. 2. 17)$$

$$Q_0 = 4C(V_{01}' - V_{ref}) \quad (5. 2. 18)$$

$$Q_1 = 8CV_{01}' \quad (5. 2. 19)$$

$$Q_2 = 4CV_{01} \quad (5. 2. 20)$$

$$Q_3 = 8CV_{01} \quad (5. 2. 21)$$

$$Q_4 = 16CV_{01} \quad (5. 2. 22)$$

$$Q_5 = 32CV_{01} \quad (5. 2. 23)$$

$$Q_p = C_{p2}V_{01} \quad (5. 2. 24)$$

式(5. 2. 17)に式(5. 2. 18)～(5. 2. 24)を代入すると、

$$\begin{aligned} & 4C(V_{01}' - V_{ref}) + 8CV_{01}' + C_{p2}V_{01} \\ & + 4CV_{01} + 8CV_{01} + 16CV_{01} + 32CV_{01} = 0 \end{aligned} \quad (5. 2. 25)$$

式(5. 2. 25)を V_{01} について解くと、

$$V_{01} = \frac{4}{60 + \beta} V_{ref} - \frac{12}{60 + \beta} V_{01}' \quad (5. 2. 26)$$

となる。ここでも不明な値 V_{01}' が現れるので、以下 V_{01}' について求める。

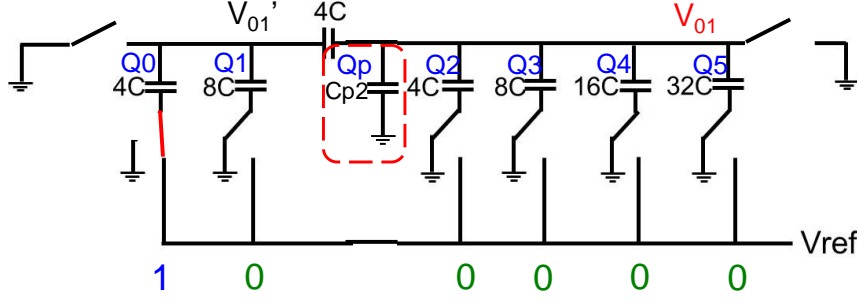


図 5. 2. 4 右側寄生容量ありの場合の回路図（スプリット容量より左側容量数 2）

電流は図 5. 2. 5 の赤い矢印の方向に流れ、スプリット容量の電荷は $4C$ と $8C$ の電荷の和となるため、次の式が成り立つ。なお、ここでも寄生容量 C_{p2} がスプリット容量より右側にあるため、寄生容量については考慮しなくてよい。

$$4C(V_{01} - V_{01}') = 4C(V_{01}' - V_{ref}) + 8CV_{01}' \quad (5. 2. 27)$$

式(5. 2. 27)を V_{01}' について解くと、

$$V_{01}' = \frac{4V_{ref} + 4V_{01}}{16} \quad (5. 2. 28)$$

となり、不明だった V_{01}' の値が求まった。

この式(5. 2. 28)を式(5. 2. 26)の V_{01}' に代入すると、

$$V_{01} = \frac{4V_{ref}}{60 + \beta} - \frac{12}{60 + \beta} \frac{4V_{ref} + 4V_{01}}{16} \quad (5. 2. 29)$$

となり、これを V_{01} について解くと、

$$V_{01} = \frac{1}{63 + \beta} V_{ref} \quad (5. 2. 30)$$

となる。

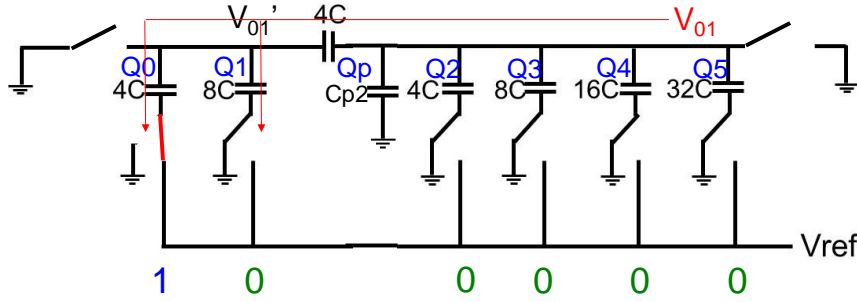


図 5. 2. 5 右側寄生容量ありの場合の電流の流れ（スプリット容量より左側容量数 2）

xx=02 以降も同様に計算していくと、スプリット容量の右側に寄生容量がある場合の V_{xx} の公式は 5-2-1 と同様の式(5. 2. 16)となるため、グラフも図 5. 2. 3 のようになり、非線形性は現れないという結果になった。

5-2-3 スプリット容量の左側の容量数が 4 の時

最後に、スプリット容量の左側の容量数が 4 の時の回路についても 5-2-1、5-2-2 と同様に検証する。スプリット容量の右側に寄生容量 C_{p2} がある場合の xx=01 の時の回路は図 5. 2. 6 のようになる。スプリット容量 20C より右側の電位を V_{01} 、左側の電位を V_{01}' と置き、以下 V_{01} の値を求める。

$$Q_0 + Q_1 + Q_2 + Q_3 + Q_p + Q_4 + Q_5 = 0 \quad (5. 2. 31)$$

$$Q_0 = 4C(V_{01}' - V_{ref}) \quad (5. 2. 32)$$

$$Q_1 = 8CV_{01}' \quad (5. 2. 33)$$

$$Q_2 = 16CV_{01}' \quad (5. 2. 34)$$

$$Q_3 = 32CV_{01}' \quad (5. 2. 35)$$

$$Q4 = 16CV01 \quad (5.2.36)$$

$$Q5 = 32CV01 \quad (5.2.37)$$

$$Qp = Cp2V01 \quad (5.2.38)$$

式(5.2.31)に式(5.2.32)～(5.2.38)を代入すると、

$$4C(V01' - Vref) + 8CV01' + 16CV01' + 32CV01' + Cp2V01 + 16CV01 + 32CV01 = 0 \quad (5.2.39)$$

式(5.2.39)を $V01$ について解くと、

$$V01 = \frac{4}{48 + \beta} Vref - \frac{60}{48 + \beta} V01' \quad (5.2.40)$$

となる。ここでも不明な値 $V01'$ が現れるので、以下 $V01'$ について求める。

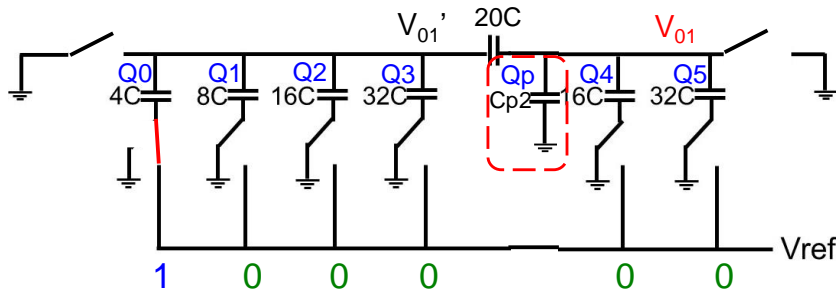


図 5.2.6 右側寄生容量ありの場合の回路図（スプリット容量より左側容量数 4）

電流は図 5.2.7 の赤い矢印の方向に流れ、スプリット容量の電荷は $4C$ 、 $8C$ 、 $16C$ 、 $32C$ の電荷の和となるため、次の式が成り立つ。なお、ここでも寄生容量 $Cp2$ がスプリット容量より右側にあるため、寄生容量については考慮しなくてよい。

$$20C(V01 - V01') = 4C(V01' - Vref) + 8CV01' + 16CV01' + 32CV01' \quad (5.2.41)$$

式(5.2.41)を $V01'$ について解くと、

$$V01' = \frac{4Vref + 20V01}{80} \quad (5.2.42)$$

となり、不明だった $V01'$ の値が求まった。

この式(5.2.42)を式(5.2.40)の $V01'$ に代入すると、

$$V_{01} = \frac{4V_{ref}}{48 + \beta} - \frac{60}{48 + \beta} \frac{4V_{ref} + 20V_{01}}{80} \quad (5.2.43)$$

となり、これを V_{01} について解くと、

$$V_{01} = \frac{1}{63 + \beta} V_{ref} \quad (5.2.44)$$

となる。

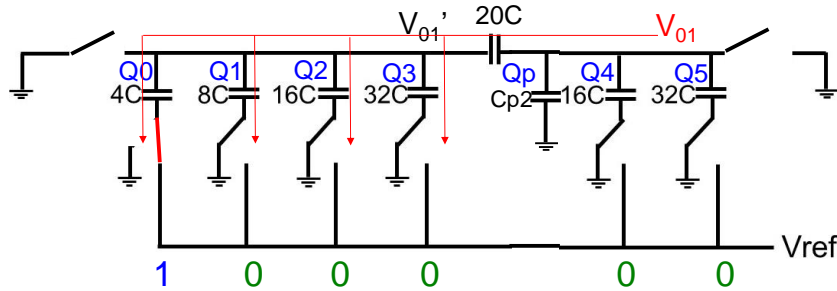


図 5.2.7 右側寄生容量ありの場合の電流の流れ（スプリット容量より左側容量数 4）

$xx=02$ 以降も同様に計算していくと、スプリット容量の右側に寄生容量がある場合の V_{xx} の公式は 5-2-1、5-2-2 と同様の式(5.2.16)となるため、グラフも図 5.2.3 のようになり、非線形性は現れないという結果になった。

5-2-4 スプリット容量の右側に寄生容量がある場合の一般式の導出

スプリット容量の右側に寄生容量がある場合、上記で検証したようにどの回路パターンにおいても同様の一般式(5.2.16)となり、さらに寄生容量の項 β は分母に現れるだけで、非線形にはならないことが分かった。このことから、寄生容量が右側にある場合は分解能がやや細かく変動するだけで、線形性には影響がなく、スプリット容量の位置に関わらず一般式は共通ということが分かった。この理由としては、スプリット容量の左側の電圧 $V_{xx'}$ を導出する際に、スプリット容量の左側のみに着目していることから、 $V_{01'}$ の式に寄生容量の影響が現れないため、式が複雑化しないことが原因と考える。以上より、スプリット容量の寄生容量が出力の線形性に影響を及ぼすのは、スプリット容量の左側にある場合のみで、右側にある時は非線形にならないと言える。

5-3 シミュレーションによる動作確認

5-1、5-2 でスプリット容量に寄生容量がある場合の一般式を導出したので、この節ではその一般式が正しいかを LT spice を用いたシミュレーションにより確認した。

5-3-1 スプリット容量の左側に寄生容量がある場合（左側容量数 3）

計算から導出した V_{xx} の式は上記の検証より表 5. 1. 1 のようになり、8 の倍数で非線形となることが分かっている。そこで、シミュレーションでも同様の結果になるか確認するために、 $V_{ref}=1$ 、 $\alpha=100$ としてシミュレーションを実行した。なお、 $\alpha=100$ という非常に大きな値に設定したのは、非線形性が現れるコードを確認しやすくするためである。その結果は図 5. 3. 1 のようになっており、シミュレーションでも計算と同様、8 の倍数で非線形になることが確認できる。さらに詳しく検証するために、例として $xx=32$ の時の計算結果とシミュレーション結果を比較する。この時の式は表 5. 1. 1 より

$$V_{xx} = \frac{8xx + 4\alpha}{63 \times 8 + 8\alpha} V_{ref} \quad (5. 3. 1)$$

であるから、この式に $xx=32$ 、 $V_{ref}=1$ 、 $\alpha=100$ を代入すると、 $V_{xx} \cong 0.50V$ になる。これは、シミュレーション結果の $V_{xx}=0.50295343V$ とほぼ同じ値になっているので、上記で求めた V_{xx} の理論式はシミュレーション結果と一致しており正しいと言える。

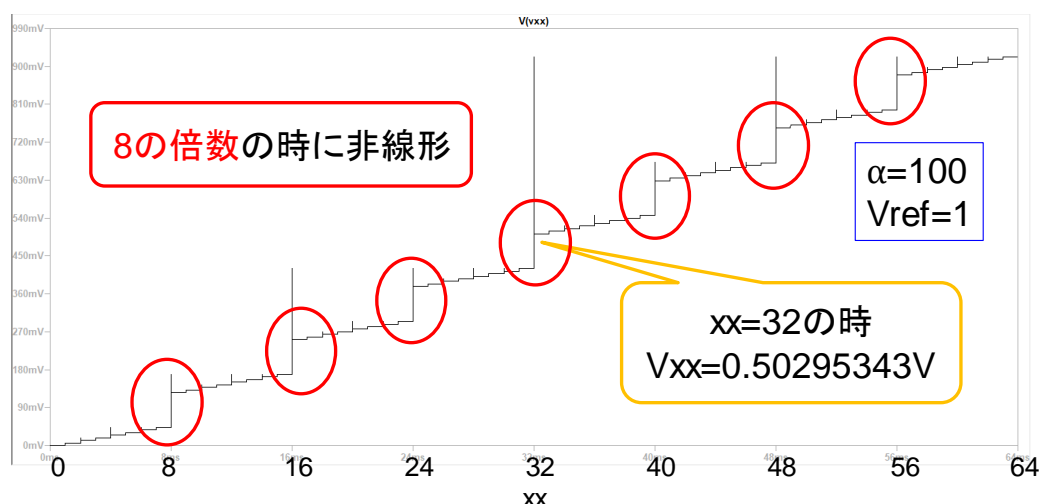


図 5. 3. 1 スプリット容量の左側の容量数が 3 の時のシミュレーション結果
(スプリット容量の左側に寄生容量がある場合)

5-3-2 スプリット容量の左側に寄生容量がある場合 (左側容量数 2)

この時の計算から導出した V_{xx} の式は上記の検証より表 5. 1. 2 のようになり、4 の倍数で非線形となることが分かっている。ここでも 5-3-1 と同様、シミュレーションでの検証を行い、 $V_{ref}=1$ 、 $\alpha=100$ の時の結果を図 5. 3. 2 に示す。シミュレーションでも計算と同様、4 の倍数で非線形になっていることが確認できる。さらに詳しく検証するために、この場合も $xx=32$ の時の計算結果とシミュレーション結果を比較する。この時の式は表 5. 1. 2 より

$$V_{xx} = \frac{4xx + 8\alpha}{63 \times 4 + 16\alpha} V_{ref} \quad (5. 3. 2)$$

であるから、この式に $xx=32$ 、 $V_{ref}=1$ 、 $\alpha=100$ を代入すると、 $V_{xx} \cong 0.50V$ になる。これは、

シミュレーション結果の $V_{xx}=0.5009631V$ とほぼ同じ値になっているので、上記で求めた V_{xx} の理論式はシミュレーション結果と一致しており正しいと言える。

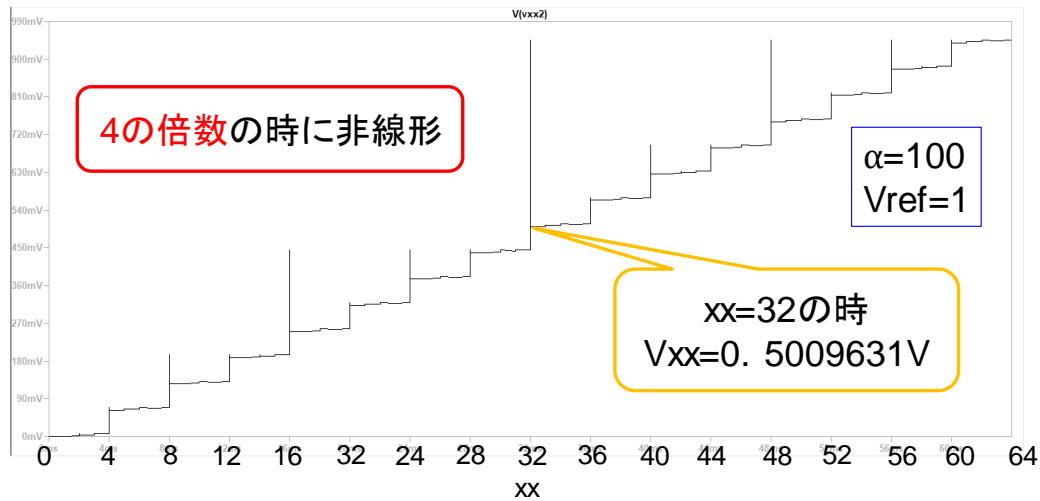


図 5. 3. 2 スプリット容量の左側の容量数が 2 の時のシミュレーション結果
(スプリット容量の左側に寄生容量がある場合)

5-3-3 スプリット容量の左側に寄生容量がある場合（左側容量数 4）

この時の計算から導出した V_{xx} の式は上記の検証より表 5. 1. 3 のようになり、16 の倍数で非線形となることが分かっている。ここでも 5-3-1、5-3-2 と同様、シミュレーションでの検証を行い、 $V_{ref}=1$ 、 $\alpha=100$ の時の結果を図 5. 3. 3 に示す。シミュレーションでも計算と同様、16 の倍数で非線形になっていることが確認できる。さらに詳しく検証するために、この場合も $xx=32$ の時の計算結果とシミュレーション結果を比較する。この時の式は表 5. 1. 3 より

$$V_{xx} = \frac{20xx + 8\alpha}{63 \times 20 + 17\alpha} V_{ref} \quad (5. 3. 3)$$

であるから、この式に $xx=32$ 、 $V_{ref}=1$ 、 $\alpha=100$ を代入すると、 $V_{xx} \cong 0.486V$ になる。これは、シミュレーション結果の $V_{xx}=0.48639042V$ とほぼ同じ値になっているので、上記で求めた V_{xx} の理論式はシミュレーション結果と一致しており正しいと言える。

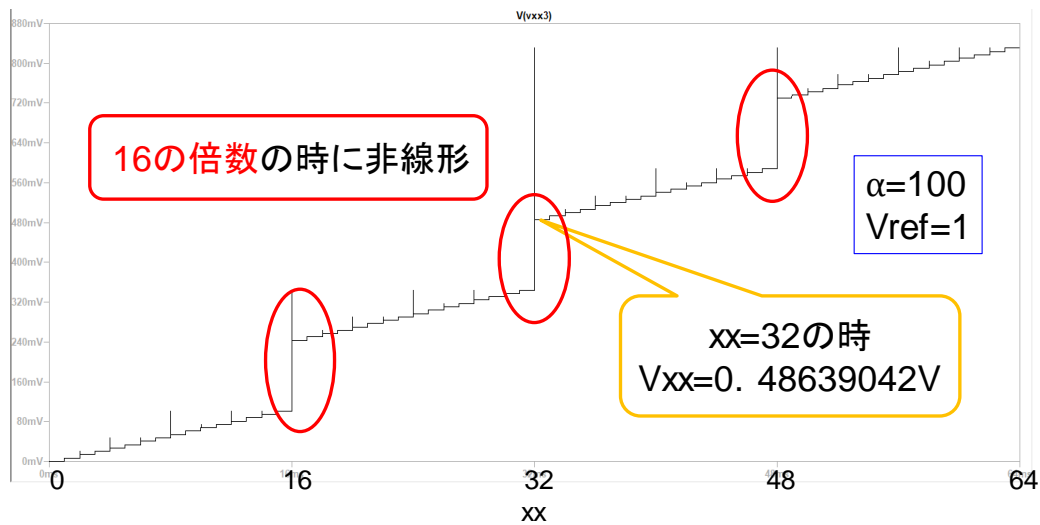
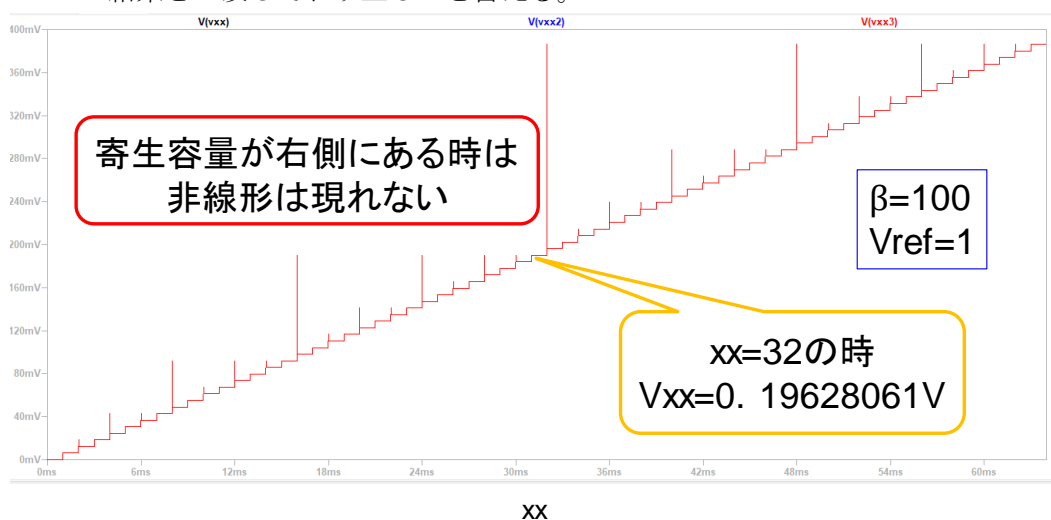


図 5. 3. 3 スプリット容量の左側の容量数が 4 の時のシミュレーション結果
(スプリット容量の左側に寄生容量がある場合)

5-3-4 スプリット容量の右側に寄生容量がある場合

スプリット容量の右側に寄生容量がある場合の一般式は式(5. 2. 16)であり、どの回路パターンにおいても一般式は変わらず、線形であることが分かっている。ここでも同様に、シミュレーションでの検証を行い、 $V_{ref}=1$ 、 $\beta=100$ の時の結果を図 5. 3. 4 に示す。これはスプリット容量の左側の容量数が 3、2、4 の時の結果を同時に表しているが、3 つとも同じ出力になっており、線形であることが確認できる。さらに詳しく検証するために、この場合も $xx=32$ の時の計算結果とシミュレーション結果を比較する。まず、一般式(5. 2. 16)に $xx=32$ 、 $V_{ref}=1$ 、 $\beta=100$ を代入すると、 $V_{xx} \cong 0.196V$ になる。これは、シミュレーション結果の $V_{xx}=0.19628061V$ とほぼ同じ値になっているので、上記で求めた V_{xx} の理論式はシミュレーション結果と一致しており正しいと言える。



XX

図 5.3.4 スプリット容量の右側に寄生容量がある場合のシミュレーション結果
(スプリット容量の左側の容量数が 3、2、4 の時)

5-4 寄生容量の値の求め方

上記より導出した V_{xx} の一般式が正しいことが確認できたので、この節では一般式から寄生容量の値を求める方法について解説する。手順としては、まず初めに最下位ビットのみ V_{ref} 接続した時の V_{xx} を測定し、次に V_{xx} の一般式に測定値を代入して、 α または β について解くことで寄生容量の値を導出する。 V_{xx} の一般式において、 α もしくは β 以外のパラメータは回路の形状から導出可能なので、変数である xx 、 V_{xx} を測定すれば寄生容量の値を求めることができる。ここでは例として、図 5.4.1 のようなスプリット容量の左側の容量数が 3 つの回路について検証する。初めに最下位ビットのみ V_{ref} 接続し、内部または外部 ADC を用いて V_{01} の電圧を測定する。この時、測定電圧が $V_{01}=0.0136986V$ だったとする。

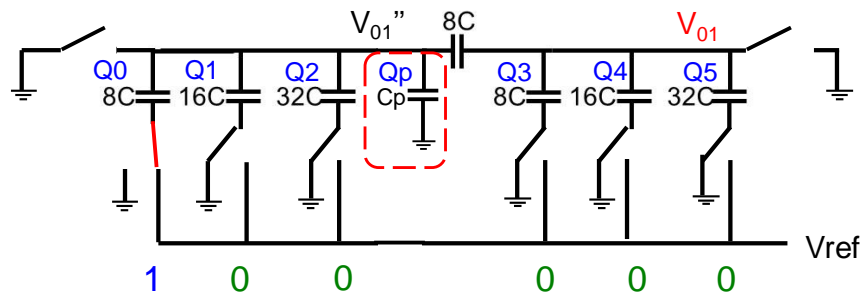


図 5.4.1 スプリット容量の左側の容量数が 3 つの回路の寄生容量の求め方

ここではスプリット容量の左側に寄生容量 C_p があるため、 V_{xx} の一般式には式(5.1.66)を使用する。まずは A の値を計算する必要があるので、 A の式(5.1.71)に代入して、

$$A = \frac{\text{スプリット容量より右側の容量の総和}}{\text{最小容量}} + \frac{\text{スプリット容量の値}}{\text{最小容量}} \quad (5.4.1)$$

$$= \frac{56}{8} + \frac{8}{8} = 8$$

となる。また、 B については非線形性に関する項であり、この回路では 8 の倍数で非線形になるため、非線形になる前の $xx=01$ では B は不要であり、導出の必要はない。この A を式(5.1.66)に代入すると、

$$V_{xx} = \frac{8xx}{63 \times 8 + 8\alpha} V_{ref} \quad (5.4.2)$$

となる。この公式に、 $xx=01$ 、 $V_{xx}=0.0136986V$ を代入し、 $V_{ref}=1$ とすると、

$$\alpha=10.0001606 \quad (5.4.3)$$

となる。 $C_p=\alpha C$ より、この α の値に C を掛ければ寄生容量 C_p の値が得られる。つまり、一般式が回路の形状から求められるので、ある xx の時の V_{xx} を測定してその一般式に代入することで、寄生容量が導出できる。寄生容量の値を導出することで、線形性への影響を事前に予測することができ、寄生容量の誤差を差し引いた後の理想的な出力が可能になる。なお、このスプリット容量の左側の容量が 3 つの回路では $xx=08$ 以降は非線形性が現れ、式が複雑化するので、測定するのは $xx=01\sim07$ の時が好ましく、さらにこの時の V_{xx} を複数個測定し平均値をとることで、より正確な寄生容量の値を求めることができる。

5-5 DNL と INL

この節では、5-1、5-2 で検証した寄生容量がある場合の、微分非直線性誤差（DNL : Differential Non-Linearity）と積分非直線性誤差（INL : Integral Non-Linearity）について説明する。これらは ADC や DAC の誤差について検証するための指標で、ここでは寄生容量の大きさを変えた時の DNL、INL について見ていく。

まず初めに、DNL と INL の定義について解説する。DNL は測定値と理論値の幅の差として定義される。図 5.5.1 では、青で示した理想的なグラフの幅は常に 0.25 になっているが、赤で示した実際の値は誤差が生じるので均等な幅にはならない。DNL の式は実際のグラフの幅を V_n ($n=0, 1, 2, \dots$) とした時、次のようになる。

$$DNL(n) = V_n - 0.25 \quad (n=0, 1, 2, \dots) \quad (5.5.1)$$

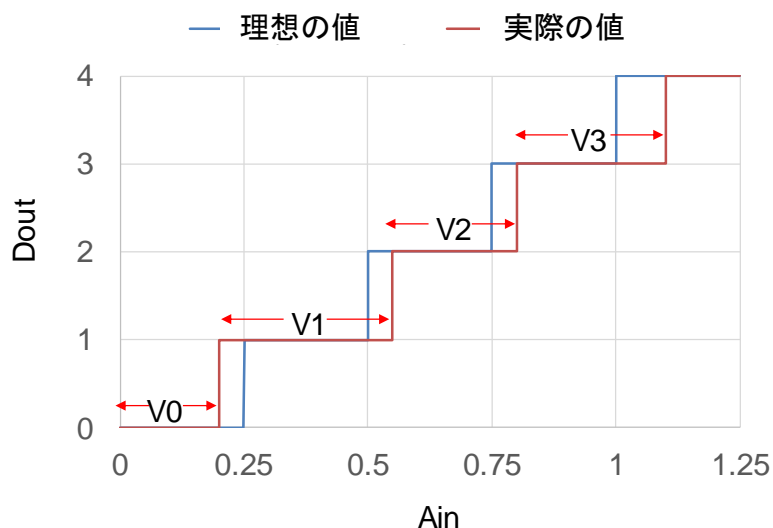


図 5.5.1 ある ADC の DNL の定義

次に、INL の定義について述べる。INL の式は以下に示すように、DNL の和として定義される。

$$\text{INL}(n) = \sum_{k=0}^n \text{DNL}(k) \quad (5.5.2)$$

理想的には DNL は 0 なので、INL も直線 0 になるはずだが、実際の ADC では図 5.5.2 のように直線 0 付近で波を打ったようなグラフになる。

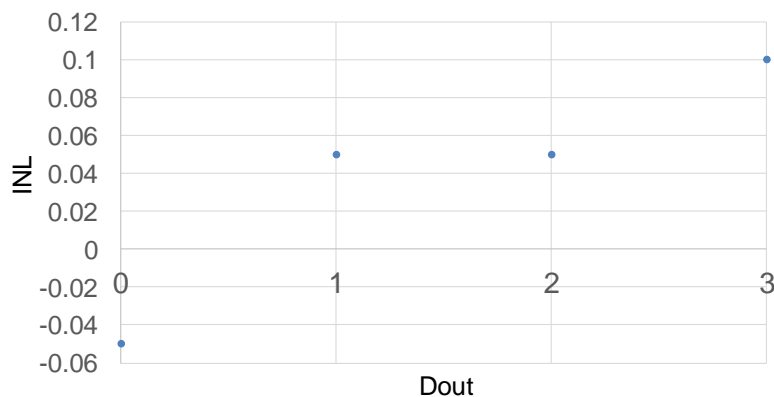


図 5.5.2 ある ADC の INL の定義

次に、スプリット容量に寄生容量がある場合の回路の DNL と INL を求める。

5-1-1 の寄生容量が左側にある場合で、スプリット容量の左側の容量数が 3 の時の、DNL と INL のグラフを図 5.5.3、図 5.5.4 に示す。この回路では、8 の倍数で非線形性が現れていたため、DNL も 8 の倍数で絶対値が大きくなっている。また、寄生容量の値を 5 段階に分けて表示しているが、 α つまり寄生容量が大きいほど DNL が 0 から大きく外れていることが分かる。

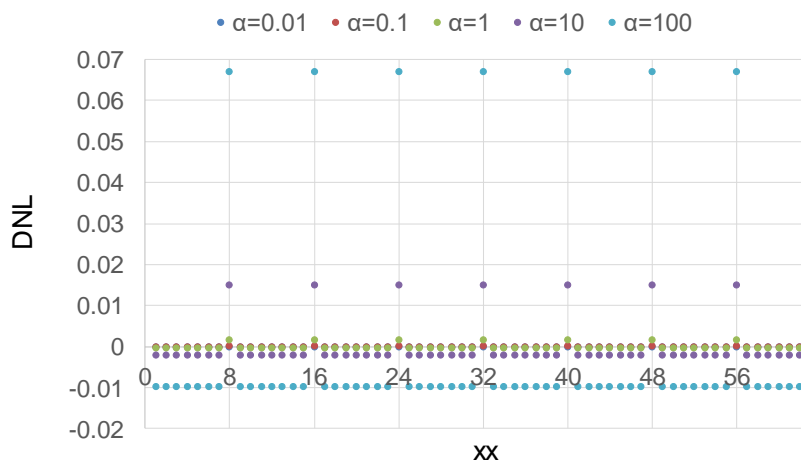


図 5.5.3 左側寄生容量ありの場合の DNL (スプリット容量より左側容量数 3)

INL に関しては、寄生容量が小さいとほぼ直線 0 になっているが、大きいと 8 の倍数で大きな変動が起こるという結果となった。

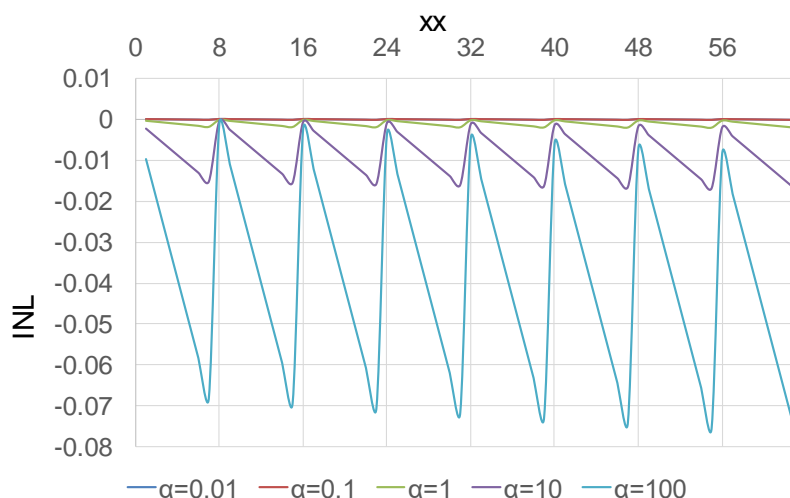


図 5. 5. 4 左側寄生容量ありの場合の INL (スプリット容量より左側容量数 3)

次に、5-1-2 の寄生容量が左側にある場合で、スプリット容量の左側の容量数が 2 の時の、DNL と INL のグラフを図 5. 5. 5、図 5. 5. 6 に示す。この回路では、4 の倍数で非線形性が現れていたため、DNL も 4 の倍数で絶対値が大きくなっている。また、この場合も寄生容量が大きいほど DNL が 0 から大きく外れていることが分かる。

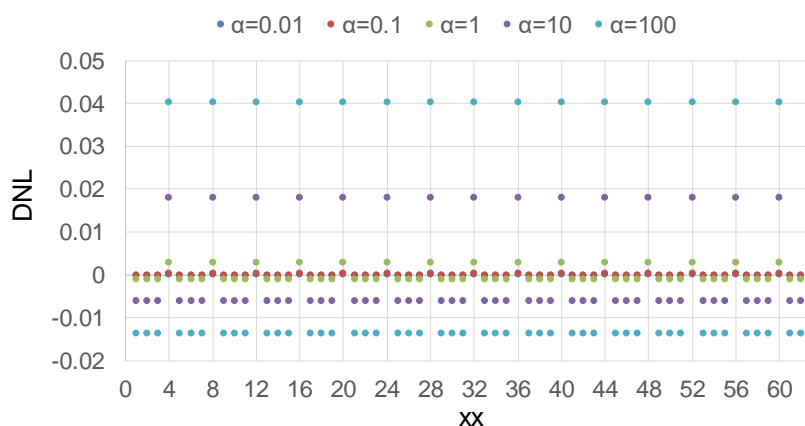


図 5. 5. 5 左側寄生容量ありの場合の DNL (スプリット容量より左側容量数 2)

INL に関しては、この場合も寄生容量が小さいとほぼ直線 0 になっているが、大きいと 4 の倍数で大きな変動が起こるという結果となった。これは先ほどの図 5. 5. 4 よりも、非線形性が現れる頻度が高いため、INL の変動が細かくなっている。

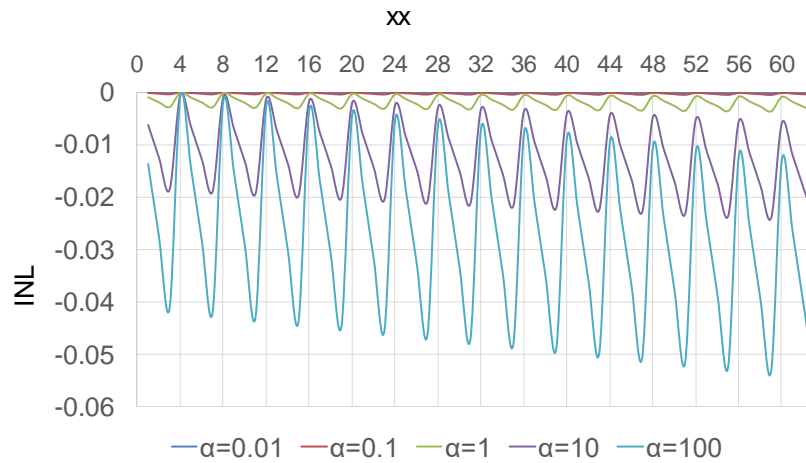


図 5. 5. 6 左側寄生容量ありの場合の INL (スプリット容量より左側容量数 2)

最後に、5-1-3 の寄生容量が左側にある場合で、スプリット容量の左側の容量数が 4 の時の、DNL と INL のグラフを図 5. 5. 7、図 5. 5. 8 に示す。この回路では、16 の倍数で非線形性が現れていたもので、DNL も 16 の倍数で絶対値が大きくなっている。また、この場合も寄生容量が大きいほど DNL が 0 から大きく外れていることが分かる。

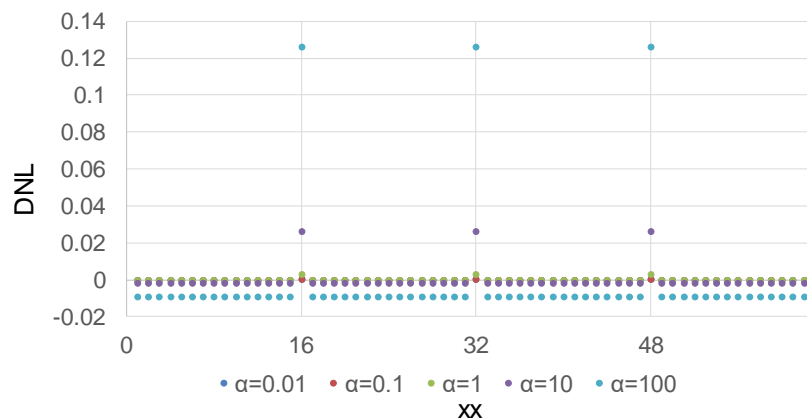


図 5. 5. 7 左側寄生容量ありの場合の DNL (スプリット容量より左側容量数 4)

INL に関しては、この場合も寄生容量が小さいとほぼ直線 0 になっているが、大きいと 16 の倍数で大きな変動が起こるという結果となった。これは先ほどの図 5. 5. 4 よりも非線形性が現れる頻度が低いので、INL の急激な変化はあまり起こらない。

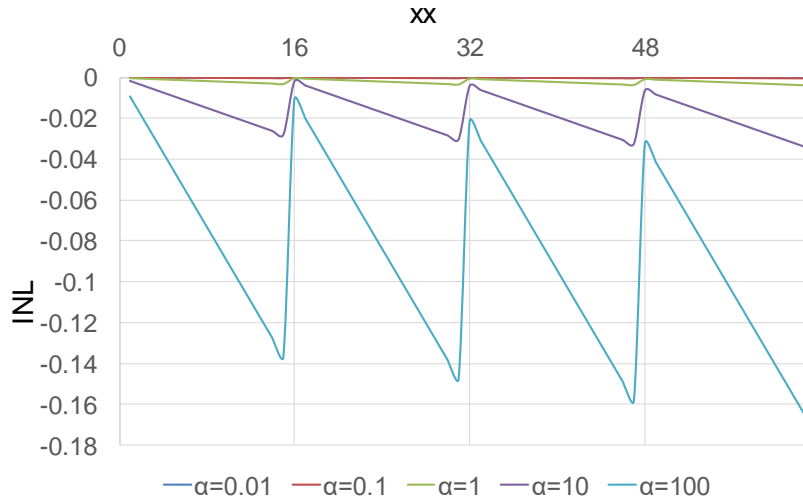


図 5. 5. 8 左側寄生容量ありの場合の INL（スプリット容量より左側容量数 4）

以上の、寄生容量が左側にある場合の DNL についてまとめると、表 5. 5. 1 のようになる。これより、左側容量数が 2 の回路の DNL が一番小さく、左側容量数が 4 の回路が最も大きいことが分かった。

表 5. 5. 1. 3 つの回路の DNL（寄生容量が左側にある場合）

	左側容量数 3	左側容量数 2	左側容量数 4
DNL 最大値	0.07	0.04	0.13
DNL 最小値	-0.01	-0.015	-0.005

この結果について考察するために、以下のように V_{xx} の公式の極限について調べた。左側容量数が 3 の式を式(5. 5. 3)に、左側容量数が 2 の式を式(5. 5. 4)に、左側容量数が 4 の式を式(5. 5. 5)にそれぞれ示す。

$$V_{xx} = \frac{8xx + \alpha}{63 \times 8 + 8\alpha} V_{ref} = \frac{8xx/\alpha + 1}{63 \times 8/\alpha + 8} V_{ref} \quad (5. 5. 3)$$

$$V_{xx} = \frac{4xx + \alpha}{63 \times 4 + 16\alpha} V_{ref} = \frac{4xx/\alpha + 1}{63 \times 4/\alpha + 16} V_{ref} \quad (5. 5. 4)$$

$$V_{xx} = \frac{20xx + 4\alpha}{63 \times 20 + 17\alpha} V_{ref} = \frac{20xx/\alpha + 4}{63 \times 20/\alpha + 17} V_{ref} \quad (5. 5. 5)$$

$\alpha \rightarrow \infty$ として、これらの式の極限を求めると、式(5. 5. 3)は $V_{ref}/8$ に、式(5. 5. 4)は $V_{ref}/16$ に、式(5. 5. 5)は $4V_{ref}/17$ に近づく。よって、寄生容量が大きくなると、式(5. 5.

4)が最小に、式(5. 5. 5)が最大になるため、元の値から大きく外れる左側容量数が 4 の時の DNL が最大になるのである。

5-6 13bit 版回路の検証

この節では、上記の V_{xx} の一般式を用いて、図 3. 2. 1 (b)でも示した複雑な 13bit 版回路の V_{xx} を導出し、寄生容量がある場合の動作について検証する。

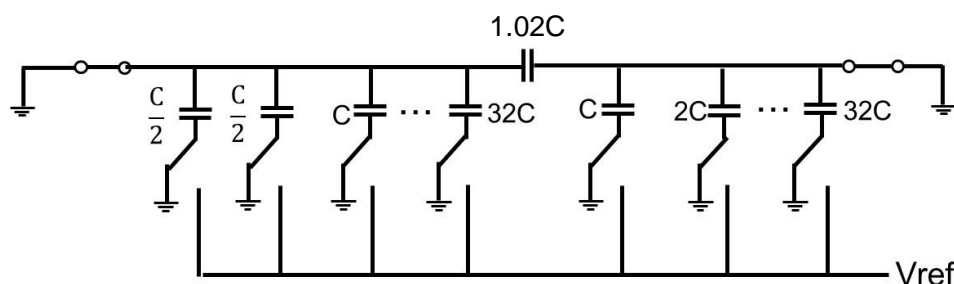


図 5. 6. 1 13bit 版回路

5-6-1 寄生容量がスプリット容量の左側にある場合

ここでは、図 5. 6. 1 の 13bit 版回路のスプリット容量の左側に寄生容量がある場合の V_{xx} の式を導出する。左側に寄生容量がある場合の一般式は式(5. 1. 66)なので、まずは全容量和を求める。ここで、全容量和とは容量の数 (bit 数) から来ている値で厳密には 2 の bit 数乗-1 なので、 $2^{13} - 1$ になる。さらにこの回路は最小容量 $C/128$ が 2 つあるため、+1 されて全容量和は 2^{13} になる。

上記の 6bit 回路では最小容量が $1C$ だったため、最小容量 C から最大容量 $32C$ までを加算した全容量和と 2 の bit 数乗-1 が一致していたが、この 13bit 回路は最小容量が $C/128$ でありスタートが $1C$ ではないため、 $C/2$ と等価の $C/128$ から $32C$ までを単に加算した全容量和と 2 の bit 数乗-1 は一致しない。そのため、全容量を加算して導出する場合は、最小容量が $1C$ になるように全容量に最小容量の逆数を掛けて、最小容量を $1C$ 、次の容量を $2C$ としてずらしてから加算する必要がある。この回路は最小容量が $C/128$ であるため、これを $1C$ に直すために、式(5. 6. 1)のように全容量に最小容量の逆数 128 を掛けて加算する必要がある。このようにすることで、先の 2^{13} と一致する。

$$\left(\frac{C}{128} + \frac{C}{128} + \frac{C}{64} + \frac{C}{32} + \cdots + 16C + 32C \right) \times 128 = 8192 \quad (5. 6. 1)$$

次に、A を求めると、この回路のスプリット容量より右側の容量の総和は $63C$ 、スプリット容量の値は $1.02C$ 、最小容量は $C/2$ であるから、式(5. 1. 71)に代入すると、 $A = 128.04$ になる。また、B についてはスプリット容量より右側の容量重みは C なので、式(5. 1. 81)に代入すると $B=2$ になる。

ここで一般式(5. 1. 66)のパラメータがそろったので代入していくが、このままでは容量

の値が **xx** に対応しないことに注意が必要である。**xx** は一番左にある容量を 1 とみなした整数値だが、容量値は小数点以下の数値を含む本来の値なので、最小値は $C/128$ である。容量が皆整数の時は最小が 1 でそろっていたので **xx** に容量値をそのまま代入して問題なかったが、この回路には小数点以下の容量があるため、**xx** に容量値を代入すると **xx** が小数値になってしまうのでずれが生じる。そこで、**xx** に 128 を掛けることで、**xx** に容量の値を代入しても整数になるので、容量のスタートも 1 になりずれが解消される。

さらに、ここでは最小ビット $C/128$ が 2 つあるため、同じものが 2 つあるという状態になり、同じ V_{xx} が 2 回ずつ現れる。そのため **xx** はさらに 2 で割る必要がある。

以上を踏まえると公式は表 5. 6. 1 のようになる。

表 5. 6. 1. 寄生容量がスプリット容量の左側にある場合の V_{xx}

xx =0～	$V_{xx} = \frac{130.56xx/2}{8355.84 + 128.04\alpha} V_{ref}$
xx =2～	$V_{xx} = \frac{130.56xx/2 + 2\alpha}{8355.84 + 128.04\alpha} V_{ref}$
xx =4～	$V_{xx} = \frac{130.56xx/2 + 4\alpha}{8355.84 + 128.04\alpha} V_{ref}$
xx =6～	$V_{xx} = \frac{130.56xx/2 + 6\alpha}{8355.84 + 128.04\alpha} V_{ref}$

非線形性が現れるのはスプリット容量の右側の容量重みが 1 であることから、本来ならば 1 の倍数で非線形になるが、ここでは最小容量 $C/128$ が 2 つあることから 2 個飛ばしになるので、2 の倍数の時に V_{xx} の式が変わり非線形になる。

次に、シミュレーションにより導出した V_{xx} の式が正しいかを確認する。 $V_{ref}=1$ 、 $\alpha=100$ とした時のシミュレーション結果は図 5. 6. 2 のようになり、理論式と同様、2 の倍数で非線形性が現れていることが確認できる。さらに詳しく検証するために、例として **xx**=10 の時の計算結果とシミュレーション結果を比較する。この時の式は表 5. 6. 1 より

$$V_{xx} = \frac{130.56xx/2 + 10\alpha}{8355.84 + 128.04\alpha} V_{ref} \quad (5. 6. 2)$$

であるから、この式に **xx**=10、 $V_{ref}=1$ 、 $\alpha=100$ を代入すると、 $V_{xx} \cong 0.0781V$ になる。これは、シミュレーション結果の $V_{xx}=0.078102731V$ とほぼ同じ値になっているので、上記で求めた V_{xx} の理論式はシミュレーション結果と一致しており正しいと言える。



図 5. 6. 2 寄生容量がスプリット容量の左側にある場合のシミュレーション結果

5-6-2 寄生容量がスプリット容量の右側にある場合

ここでは、図 5. 6. 1 の 13bit 版回路のスプリット容量の右側に寄生容量がある場合の V_{xx} の式を導出する。右側に寄生容量がある場合の一般式は式(5. 2. 16)だが、小数点以下の容量を含む場合は式が変わってくることに注意が必要である。ここで、小数点以下の容量を含む 6bit 回路を使用して式を求める。図 5. 6. 3 の回路の左側の C は $C/8$ と等価で、 $V_{1/8}$ を導出すると、

$$V_{1/8} = \frac{1}{63 + 8\beta} V_{ref} \quad (5. 6. 3)$$

となり、 β の項に 8 が現れる。途中計算を遡ると 8 はスプリット容量の左側の電位 $V_{1/8}'$ が関係しているので、 $V_{1/8}'$ と接しているスプリット容量より左側の容量和とスプリット容量の値から構成されていることが分かる。

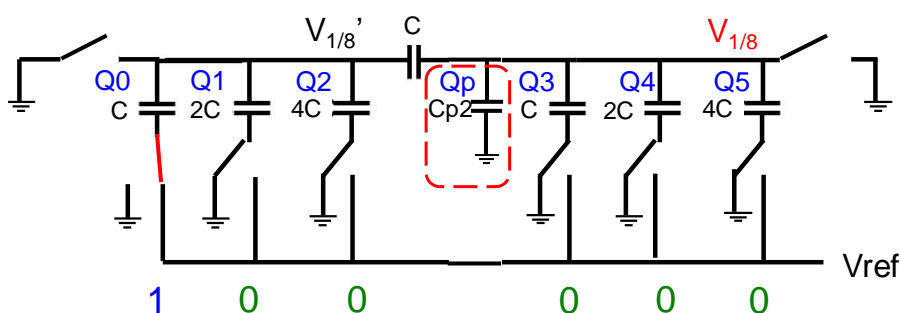


図 5. 6. 3 小数点以下の容量を含む 6bit 回路

他は 5-6-1 の時と同様、63 の部分は全容量和 $63/8$ に最小容量の逆数 8 を掛けることで得られ、1 は $xx=1/8$ に最小容量の逆数 8 を掛けることで得られていることから、 V_{xx} の式

は

$V_{xx} =$

$$\frac{xx \times \text{最小容量の逆数}}{(\text{全容量和} \times \text{最小容量の逆数}) + (\text{Cs より左側の容量和} + \text{Cs の値}) \beta} V_{\text{ref}} \quad (5.6.4)$$

となる。なお、この式はどの xx でも共通であることから V_{xx} は線形であることが言える。この一般式を 13bit 版回路に適用すると、

$$V_{xx} = \frac{128xx/2}{8192 + 129.02\beta} \quad (5.6.5)$$

ここで、 β の係数のスプリット容量より左側の容量和は、最小が $C/2$ で小数点以下なので、こちらも 1 スタートにそろえるために $C/2$ から $32C$ までの和に 2 を掛けている。よって 128 になり、さらにスプリット容量の値 1.02 を加えるので、129.02 になる。また、ここでも最小ビット $C/128$ が 2 つあるため、 xx はさらに 2 で割る必要がある。

次に、シミュレーションにより導出した V_{xx} の式が正しいかを確認する。 $V_{\text{ref}}=1$ 、 $\alpha=100$ とした時のシミュレーション結果は図 5.6.4 のようになり、理論式と同様、線形であることが確認できる。さらに詳しく検証するために、例として $xx=01$ の時の計算結果とシミュレーション結果を比較する。この時の計算式は式(5.6.5)に $xx=01$ 、 $V_{\text{ref}}=1$ 、 $\alpha=100$ を代入すると、 $V_{xx} \cong 3.0\text{mV}$ になる。これは、シミュレーション結果の $V_{xx}=3.0608644\text{mV}$ とほぼ同じ値になっているので、上記で求めた V_{xx} の理論式はシミュレーション結果と一致しており正しいと言える。

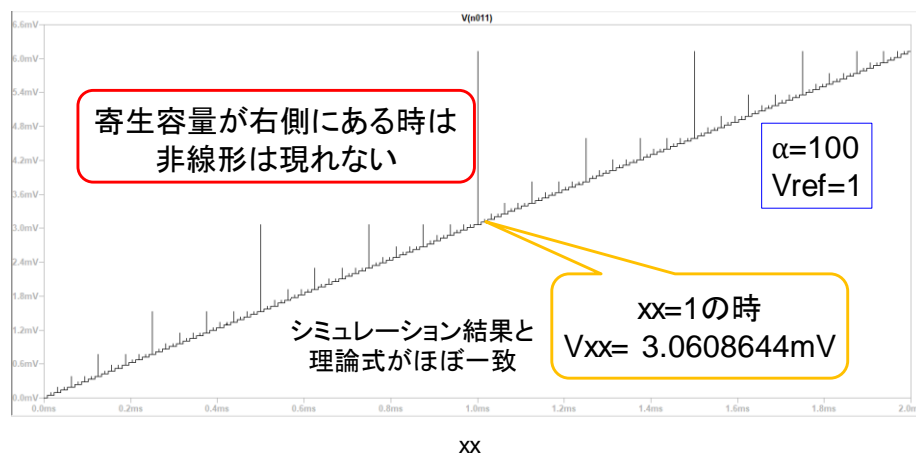


図 5.6.4 寄生容量がスプリット容量の右側にある場合のシミュレーション結果

第 6 章 容量のミスマッチの影響

この章では、スプリット容量や 2 進重み付け容量そのものにミスマッチ（誤差）がある場合の SAR ADC への影響について検証を行った。以下では、2 つの 3bit 2 進重み付け容量アレイを備えた回路の容量にミスマッチがある場合について V_{xx} の式を導出し、INL を求

めることで、非線形性が現れるコードを調べた。

6-1 スプリット容量のミスマッチの影響

この節では、SAR ADC の全体的な非線形性に対するスプリット容量のミスマッチの影響を調査する。スプリット容量にミスマッチ+ $\Delta 8C$ がある場合の $xx=01$ の時の回路は図 6. 1. 1 のようになる。スプリット容量 $8C$ より右側の電位を $V01$ 、左側の電位を $V01'$ と置き、 $V01$ の値を計算していく。

$$Q0 + Q1 + Q2 + Q3 + Q4 + Q5 = 0 \quad (6. 1. 1)$$

$$Q0 = 8C(V01' - Vref) \quad (6. 1. 2)$$

$$Q1 = 16CV01' \quad (6. 1. 3)$$

$$Q2 = 32CV01' \quad (6. 1. 4)$$

$$Q3 = 8CV01 \quad (6. 1. 5)$$

$$Q4 = 16CV01 \quad (6. 1. 6)$$

$$Q5 = 32CV01 \quad (6. 1. 7)$$

電荷保存則より式(6. 1. 1)が成り立つので、この式に式(6. 1. 2)～(6. 1. 7)を代入すると、

$$\begin{aligned} &8C(V01' - Vref) + 16CV01' + 32CV01' \\ &+ 8CV01 + 16CV01 + 32CV01 = 0 \end{aligned} \quad (6. 1. 8)$$

式(6. 1. 8)を $V01$ について解くと、

$$V01 = \frac{8}{56}Vref - V01' \quad (6. 1. 9)$$

となる。ここで不明な値 V_{01}' が現れるので、以下 V_{01}' について求める。

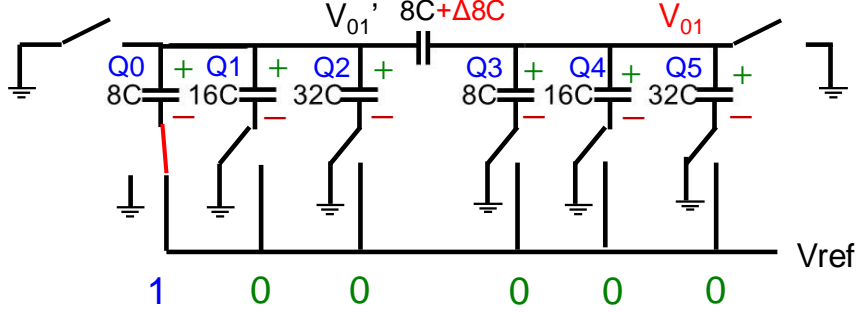


図 6. 1. 1 スプリット容量に誤差がある場合の回路図

電流は図 6. 1. 2 の赤い矢印の方向に流れるので、スプリット容量の電荷は $8C$ と $16C$ と $32C$ の電荷の和となる。このため、次の式が成り立つ。

$$(8C + \Delta 8C)(V_{01} - V_{01}') = 8C(V_{01}' - V_{ref}) + 16CV_{01}' + 32CV_{01}' \quad (6. 1. 10)$$

式(6. 1. 10)を V_{01}' について解くと、

$$V_{01}' = \frac{8V_{ref} + (8 + \gamma)V_{01}}{64 + \gamma} \quad (6. 1. 11)$$

となり、不明だった V_{01}' の値が求まった。ただし、ここで、

$$\gamma = \frac{\Delta 8C}{C} \quad (6. 1. 12)$$

とする。

この式(6. 1. 11)を式(6. 1. 9)の V_{01}' に代入すると、

$$V_{01} = \frac{8V_{ref}}{56} - \frac{8V_{ref} + (8 + \gamma)V_{01}}{64 + \gamma} \quad (6. 1. 13)$$

となり、これを V_{01} について解くと、

$$V_{01} = \frac{8V_{ref} + \gamma V_{ref}}{504 + 14\gamma} \quad (6. 1. 14)$$

となる。

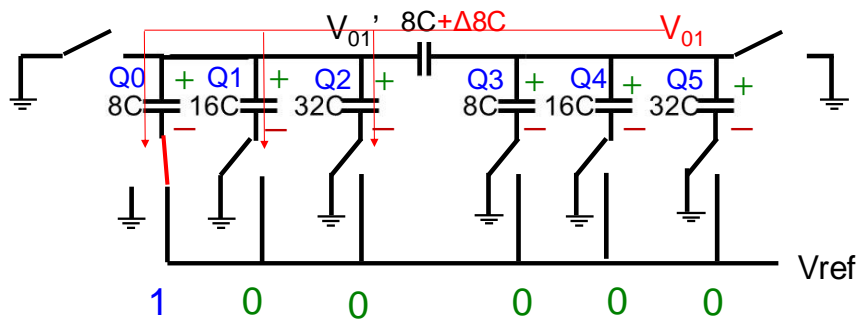


図 6. 1. 2 スプリット容量に誤差がある場合の電流の流れ

xx=02以降も同様に計算していくと、スプリット容量に誤差がある場合の V_{xx} の公式は表 6. 1. 1 のようになる。

表 6. 1. 1. スプリット容量に誤差がある場合の V_{xx} の公式

xx=00～xx=07 まで	$V_{xx} = \frac{8xx + \gamma_{xx}}{63 \times 8 + 14\gamma} V_{ref}$
xx=08～xx=15 まで	$V_{xx} = \frac{8xx + \gamma(xx - 7)}{63 \times 8 + 14\gamma} V_{ref}$
xx=16～xx=23 まで	$V_{xx} = \frac{8xx + \gamma(xx - 14)}{63 \times 8 + 14\gamma} V_{ref}$
xx=24～xx=31 まで	$V_{xx} = \frac{8xx + \gamma(xx - 21)}{63 \times 8 + 14\gamma} V_{ref}$
xx=32～xx=39 まで	$V_{xx} = \frac{8xx + \gamma(xx - 28)}{63 \times 8 + 14\gamma} V_{ref}$
xx=40～xx=47 まで	$V_{xx} = \frac{8xx + \gamma(xx - 35)}{63 \times 8 + 14\gamma} V_{ref}$
xx=48～xx=55 まで	$V_{xx} = \frac{8xx + \gamma(xx - 42)}{63 \times 8 + 14\gamma} V_{ref}$
xx=56～xx=63 まで	$V_{xx} = \frac{8xx + \gamma(xx - 49)}{63 \times 8 + 14\gamma} V_{ref}$

この表より、 V_{xx} の式は 8 の倍数毎に変化するため、スプリット容量に誤差がある場合では、8 の倍数毎に非線形になるということが分かった。なお、スプリット容量に誤差が

ない場合、 $\Delta 8C=0$ 、つまり $\gamma=0$ になるので、どの xx でも $V_{xx}=(xx/63)V_{ref}$ となり、誤差なしの時の V_{xx} の公式(5. 1. 16)と一致する。

次にシミュレーションでの検証を行い、表 6. 1. 1 の式が正しいかを確認する。 $V_{ref}=1$ 、 $\gamma=3$ の時の結果を図 6. 1. 3 に示す。シミュレーションでも計算式と同様、8 の倍数で非線形になっていることが確認できる。さらに詳しく検証するために、例として $xx=22$ の時の計算結果とシミュレーション結果を比較する。この時の式は表 6. 1. 1 より

$$V_{xx} = \frac{8xx + \gamma(xx - 14)}{63 \times 8 + 14\gamma} V_{ref} \quad (6. 1. 15)$$

であるから、この式に $xx=22$ 、 $V_{ref}=1$ 、 $\gamma=3$ を代入すると、 $V_{xx} \cong 0.366V$ になる。これは、シミュレーション結果の $V_{xx}=0.36621485V$ とほぼ同じ値になっているので、上記で求めた V_{xx} の理論式はシミュレーション結果と一致しており正しいと言える。

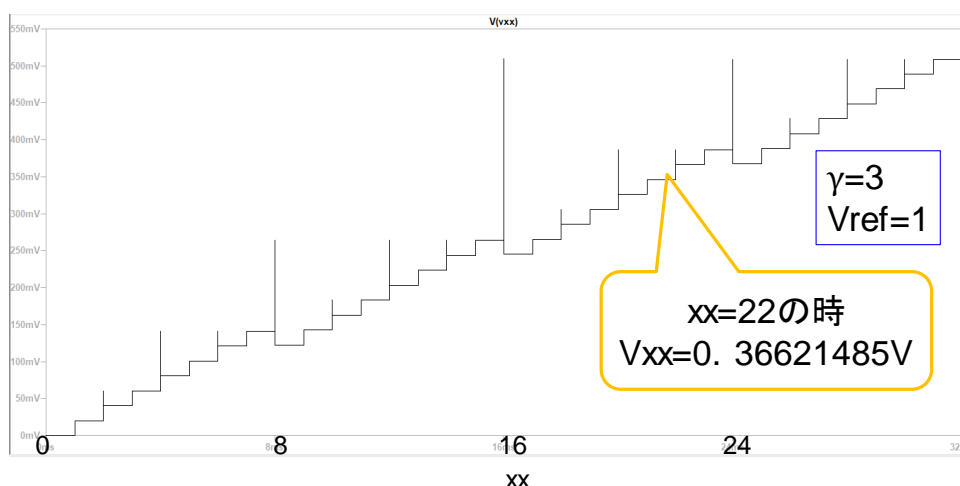


図 6. 1. 3 スプリット容量に誤差がある時のシミュレーション結果

V_{xx} の式が導出できたところで、次にスプリット容量のミスマッチが 15%の時の INL を求める。この時の γ の式は

$$\gamma = \frac{\Delta 8C}{C} = \frac{8C \times 0.15}{C} = 1.2 \quad (6. 1. 16)$$

となるので、 $V_{ref}=1$ 、 $\gamma=1.2$ として表 6. 1. 1 をグラフ化すると図 6. 1. 4 のようになる。また、この時の INL は図 6. 1. 5 のようになっており、スプリット容量に誤差がある場合、8 の倍数で式が変わり非線形になるので、INL は 8 の倍数で急激に変動していることが分かる。

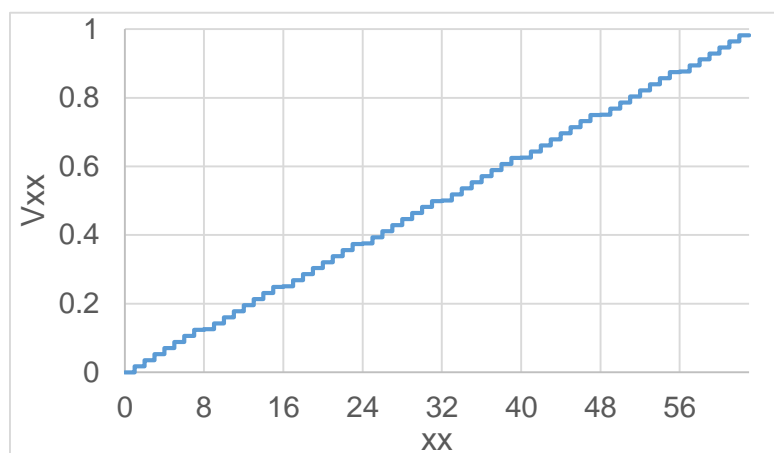


図 6.1.4 スプリット容量の誤差が 15%の時の V_{xx}

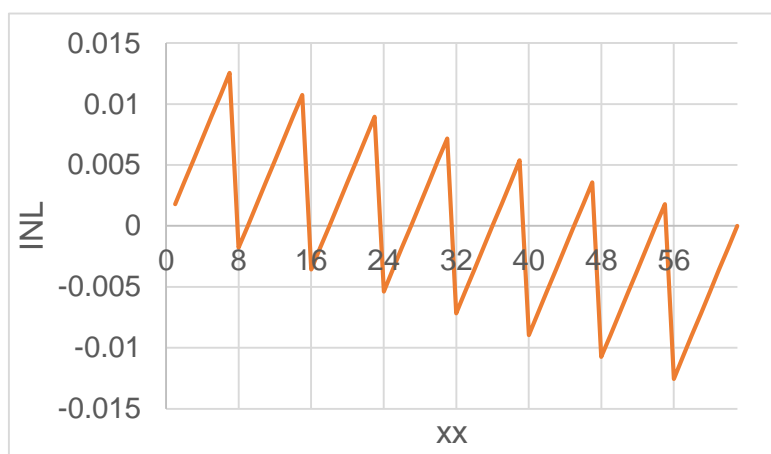


図 6.1.5 スプリット容量の誤差が 15%の時の INL

6-2 MSB 側の 2 進重み付け容量アレイにおける容量のミスマッチの影響

この節では、SAR ADC の全体的な非線形性に対する MSB 側の 2 進重み付け容量アレイ（右側の 8C、16C）におけるミスマッチの影響を調査する。まず、図 6.2.1 のように右側の 8C にミスマッチ+ $\Delta 8C$ がある場合について検証する。ここでもスプリット容量 8C より右側の電位を V_{01} 、左側の電位を V_{01}' と置き、 V_{01} の値を計算していく。

$$Q_0 + Q_1 + Q_2 + Q_3 + Q_4 + Q_5 = 0 \quad (6.2.1)$$

$$Q_0 = 8C(V_{01}' - V_{ref}) \quad (6.2.2)$$

$$Q1 = 16CV01' \quad (6.2.3)$$

$$Q2 = 32CV01' \quad (6.2.4)$$

$$Q3 = (8C + \Delta 8C)V01 \quad (6.2.5)$$

$$Q4 = 16CV01 \quad (6.2.6)$$

$$Q5 = 32CV01 \quad (6.2.7)$$

電荷保存則より式(6.2.1)が成り立つので、この式に式(6.2.2)～(6.2.7)を代入すると、

$$\begin{aligned} &8C(V01' - Vref) + 16CV01' + 32CV01' \\ &+ (8C + \Delta 8C)V01 + 16CV01 + 32CV01 = 0 \end{aligned} \quad (6.2.8)$$

式(6.1.8)を $V01$ について解くと、

$$V01 = \frac{8}{56 + \gamma} Vref - \frac{56}{56 + \gamma} V01' \quad (6.2.9)$$

となる。ただし、

$$\gamma = \frac{\Delta 8C}{C} \quad (6.2.10)$$

とする。ここでも不明な値 $V01'$ が現れるので、以下 $V01'$ について求める。

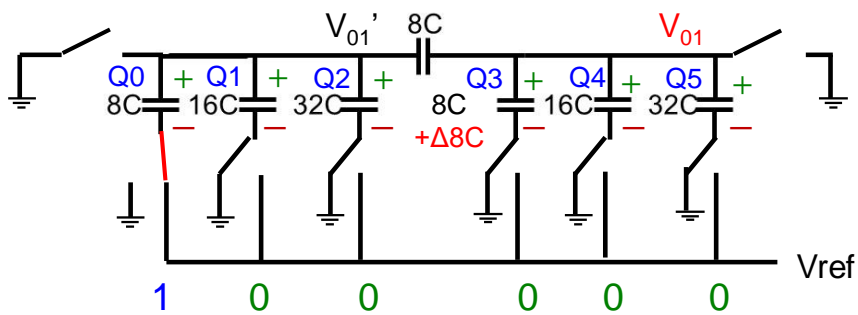


図 6.2.1 右側の 8C に誤差がある場合の回路図

電流は図 6. 2. 2 の赤い矢印の方向に流れるので、スプリット容量の電荷は $8C$ と $16C$ と $32C$ の電荷の和となる。このため、次の式が成り立つ。

$$8C(V_{01} - V_{01}') = 8C(V_{01}' - V_{ref}) + 16CV_{01}' + 32CV_{01}' \quad (6. 2. 11)$$

式(6. 2. 11)を V_{01}' について解くと、

$$V_{01}' = \frac{8V_{ref} + 8V_{01}}{64} \quad (6. 2. 12)$$

となり、不明だった V_{01}' の値が求まった。

この式(6. 2. 12)を式(6. 2. 9)の V_{01}' に代入すると、

$$V_{01} = \frac{8}{56 + \gamma} V_{ref} - \frac{56}{56 + \gamma} \frac{8V_{ref} + 8V_{01}}{64} \quad (6. 2. 13)$$

となり、これを V_{01} について解くと、

$$V_{01} = \frac{64V_{ref}}{4032 + 64\gamma} \quad (6. 2. 14)$$

となる。

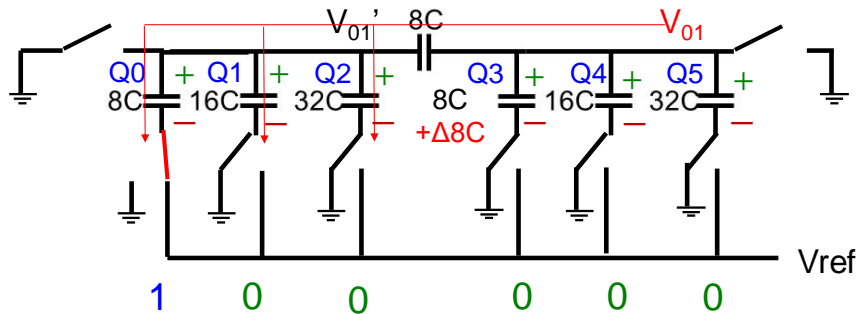


図 6. 2. 2 右側の $8C$ に誤差がある場合の電流の流れ

$xx=02$ 以降も同様に計算していくと、右側の $8C$ に誤差がある場合の V_{xx} の公式は表 6. 2. 1 のようになる。

表 6. 2. 1. 右側の $8C$ に誤差がある場合の V_{xx} の公式

(a) $8C$ が V_{ref} 接続の時

$xx=08 \sim 15$ まで	$V_{xx} = \frac{8xx + 8\gamma}{63 \times 8 + 8\gamma} V_{ref}$
$xx=24 \sim 31$ まで	

xx=40~47 まで	
xx=56~63 まで	

(b) 8C が GND 接続の時

xx=00~07 まで	$V_{xx} = \frac{8xx}{63 \times 8 + 8\gamma} V_{ref}$
xx=16~23 まで	
xx=32~39 まで	
xx=48~55 まで	

この表より、8C が Vref 接続の時と GND 接続の時とで式の形状が異なっていることが分かる。これは、表(a)では誤差のある右側の 8C が Vref 接続されているので、分子の γ の係数が大きくなり、誤差の影響が大きくなる一方で、表(b)では誤差のある右側の 8C が GND 接続されているので、スプリット容量の右側に寄生容量がある場合と等価になり、誤差の影響がそれほど現れないからである。グラフ全体としては 8 の倍数毎に右側の 8C のスイッチが切り替わるので、 V_{xx} の式が変化し非線形性が現れる。なお、右側の 8C に誤差がない場合、 $\Delta 8C=0$ 、つまり $\gamma=0$ になるので、どの xx でも $V_{xx}=(xx/63)V_{ref}$ となり、誤差なしの時の V_{xx} の公式(5. 1. 16)と一致する。

次にシミュレーションでの検証を行い、表 6. 2. 1 の式が正しいかを確認する。Vref=1、 $\gamma=1$ の時の結果を図 6. 2. 3 に示す。シミュレーションでも計算式と同様、8 の倍数で非線形になっていることが確認できる。さらに詳しく検証するために、例として xx=15 の時の計算結果とシミュレーション結果を比較する。この時は 8C が Vref 接続なので、式は

$$V_{xx} = \frac{8xx + 8\gamma}{63 \times 8 + 8\gamma} V_{ref} \quad (6. 2. 15)$$

となるから、xx=15、Vref=1、 $\gamma=1$ を代入すると、 $V_{xx} \cong 0.25V$ になる。これは、シミュレーション結果の $V_{xx}=0.24995922V$ とほぼ同じ値になっている。また、8C が GND 接続されている時の式についても確認するために、xx=16 の結果も比較する。この時の式は

$$V_{xx} = \frac{8xx}{63 \times 8 + 8\gamma} V_{ref} \quad (6. 2. 16)$$

なので、xx=16、Vref=1、 $\gamma=1$ を代入すると、 $V_{xx} \cong 0.25V$ になる。これは、シミュレーショ

ン結果の $V_{xx}=0.24995306V$ とほぼ同じ値になっているので、上記で求めた V_{xx} の理論式はシミュレーション結果と一致しており正しいと言える。

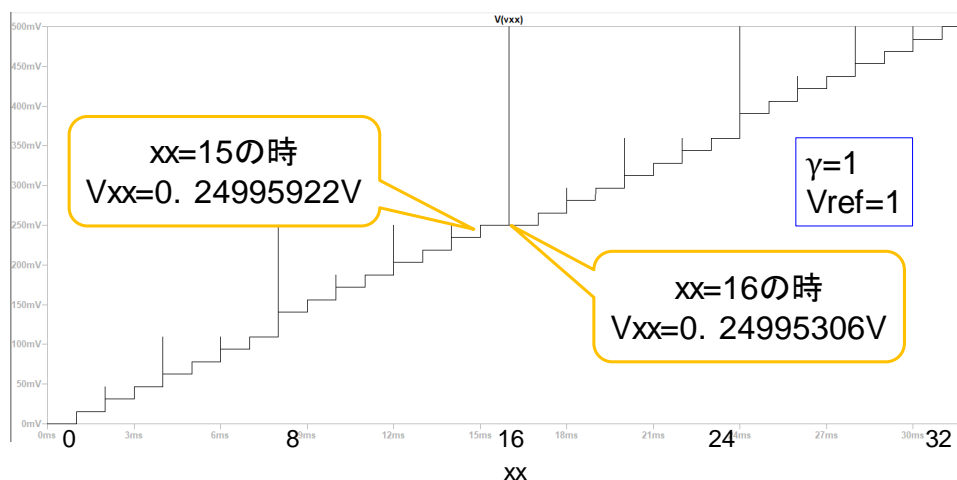


図 6. 2. 3 右側の 8C に誤差がある時のシミュレーション結果

V_{xx} の式が導出できたところで、次に右側の 8C のミスマッチが 12%の時の INL を求める。この時の γ の式は

$$\gamma = \frac{\Delta 8C}{C} = \frac{8C \times 0.12}{C} = 0.96 \quad (6. 2. 17)$$

となるので、 $V_{ref}=1$ 、 $\gamma=0.96$ として表 6. 2. 1 をグラフ化すると図 6. 2. 4 のようになる。また、この時の INL は図 6. 2. 5 のようになっており、右側の 8C に誤差がある場合、8 の倍数で式が変わり非線形になるので、INL は 8 の倍数で急激な増減があることが分かる。

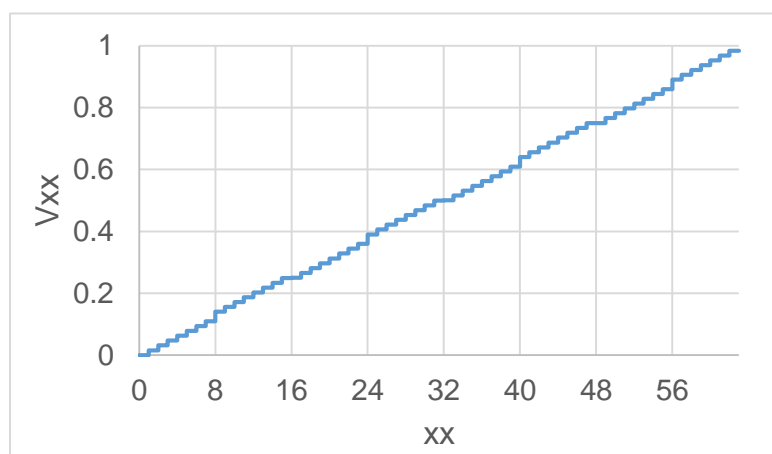


図 6. 2. 4 右側の 8C の誤差が 12%の時の V_{xx}

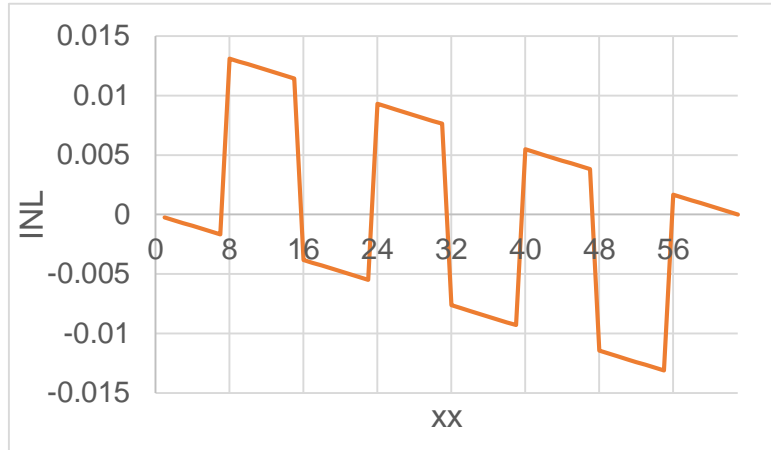


図 6. 2. 5 右側の 8C の誤差が 12%の時の INL

次に、図 6. 2. 6 のように右側の 16C にミスマッチ+ $\Delta 16C$ がある場合について検証する。ここでもスプリット容量 8C より右側の電位を V_{01} 、左側の電位を V_{01}' と置き、 V_{01} の値を計算していく。

$$Q_0 + Q_1 + Q_2 + Q_3 + Q_4 + Q_5 = 0 \quad (6. 2. 18)$$

$$Q_0 = 8C(V_{01}' - V_{ref}) \quad (6. 2. 19)$$

$$Q_1 = 16CV_{01}' \quad (6. 2. 20)$$

$$Q_2 = 32CV_{01}' \quad (6. 2. 21)$$

$$Q_3 = 8CV_{01} \quad (6. 2. 22)$$

$$Q_4 = (16C + \Delta 16C)V_{01} \quad (6. 2. 23)$$

$$Q5 = 32CV01 \quad (6.2.24)$$

式(6.2.18)に式(6.2.19)～(6.2.24)を代入すると、

$$\begin{aligned} 8C(V01' - Vref) + 16CV01' + 32CV01' \\ + 8CV01 + (16C + \Delta 16C)V01 + 32CV01 = 0 \end{aligned} \quad (6.2.25)$$

式(6.2.25)を $V01$ について解くと、

$$V01 = \frac{8}{56 + \gamma} Vref - \frac{56}{56 + \gamma} V01' \quad (6.2.26)$$

となる。ただし、

$$\gamma = \frac{\Delta 16C}{C} \quad (6.2.27)$$

とする。ここでも不明な値 $V01'$ が現れるので、以下 $V01'$ について求める。

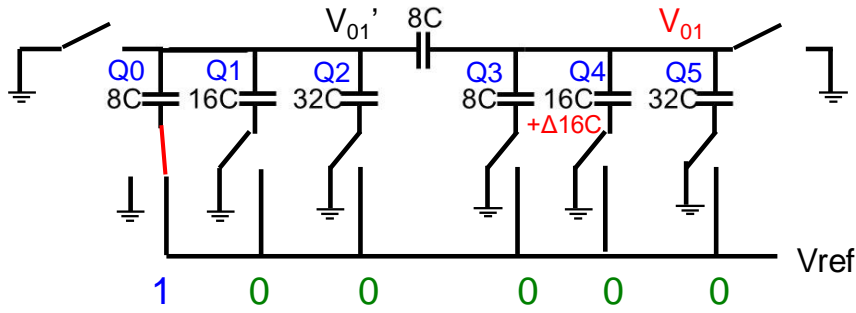


図 6.2.6 右側の 16C に誤差がある場合の回路図

電流は図 6.2.7 の赤い矢印の方向に流れるので、スプリット容量の電荷は $8C$ と $16C$ と $32C$ の電荷の和となる。このため、次の式が成り立つ。

$$8C(V01 - V01') = 8C(V01' - Vref) + 16CV01' + 32CV01' \quad (6.2.28)$$

式(6.2.28)を $V01'$ について解くと、

$$V01' = \frac{8Vref + 8V01}{64} \quad (6.2.29)$$

となり、不明だった $V01'$ の値が求まった。

この式(6.2.29)を式(6.2.26)の $V01'$ に代入すると、

$$V01 = \frac{8}{56 + \gamma} Vref - \frac{56}{56 + \gamma} \frac{8Vref + 8V01}{64} \quad (6.2.30)$$

となり、これを $V01$ について解くと、

(6.2.31)

となる。

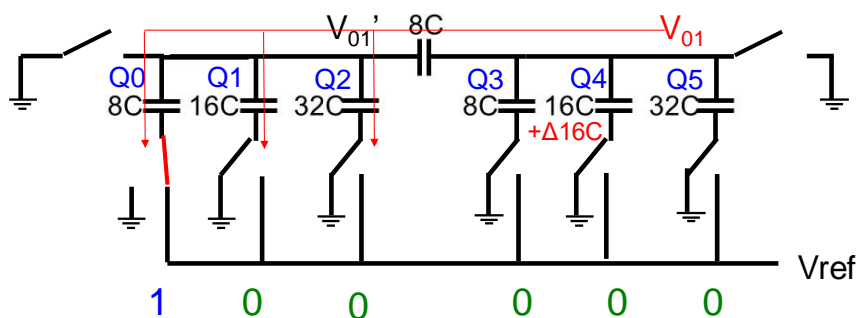


図 6.2.7 右側の 16C に誤差がある場合の電流の流れ

xx=02 以降も同様に計算していくと、右側の 16C に誤差がある場合の V_{xx} の公式は表 6.2.2 のようになる。

表 6.2.2. 右側の 16C に誤差がある場合の V_{xx} の公式

(a) 16C が Vref 接続の時

xx=16~31 まで	$V_{xx} = \frac{8xx + 8\gamma}{63 \times 8 + 8\gamma} V_{\text{ref}}$
xx=48~63 まで	

(b) 16C が GND 接続の時

xx=00~15 まで	$V_{xx} = \frac{8xx}{63 \times 8 + 8\gamma} V_{\text{ref}}$
xx=32~47 まで	

この表より、16C が Vref 接続の時と GND 接続の時とで式の形状が異なっていることが分かる。これは、表(a)では誤差のある右側の 16C が Vref 接続されているので、分子の γ の係数が大きくなり、誤差の影響が大きくなる一方で、表(b)では誤差のある右側の 16C が GND 接続されているので、スプリット容量の右側に寄生容量がある場合と等価になり、誤差の影響がそれほど現れないからである。グラフ全体としては 16 の倍数毎に右側の 16C のスイッチが切り替わるので、 V_{xx} の式が変化し非線形性が現れる。なお、右側の 16C に誤差がない場合、 $\Delta 16C=0$ 、つまり $\gamma=0$ になるので、どの xx でも $V_{xx}=(xx/63)V_{ref}$ となり、誤差なしの時の V_{xx} の公式(5. 1. 16)と一致する。

次にシミュレーションでの検証を行い、表 6. 2. 2 の式が正しいかを確認する。Vref=1、 $\gamma=1$ の時の結果を図 6. 2. 8 に示す。シミュレーションでも計算式と同様、16 の倍数で非線形になっていることが確認できる。さらに詳しく検証するために、例として $xx=16$ の時の計算結果とシミュレーション結果を比較する。この時は 16C が Vref 接続なので、式は

$$V_{xx} = \frac{8xx + 8\gamma}{63 \times 8 + 8\gamma} V_{ref} \quad (6. 2. 32)$$

となるから、 $xx=16$ 、Vref=1、 $\gamma=1$ を代入すると、 $V_{xx} \cong 0.265V$ になる。これは、シミュレーション結果の $V_{xx}=0.26557909V$ とほぼ同じ値になっている。また、16C が GND 接続されている時の式についても確認するために、 $xx=15$ の結果も比較する。この時の式は

$$V_{xx} = \frac{8xx}{63 \times 8 + 8\gamma} V_{ref} \quad (6. 2. 33)$$

なので、 $xx=15$ 、Vref=1、 $\gamma=1$ を代入すると、 $V_{xx} \cong 0.234V$ になる。これは、シミュレーション結果の $V_{xx}=0.23433412V$ とほぼ同じ値になっているので、上記で求めた V_{xx} の理論式はシミュレーション結果と一致しており正しいと言える。

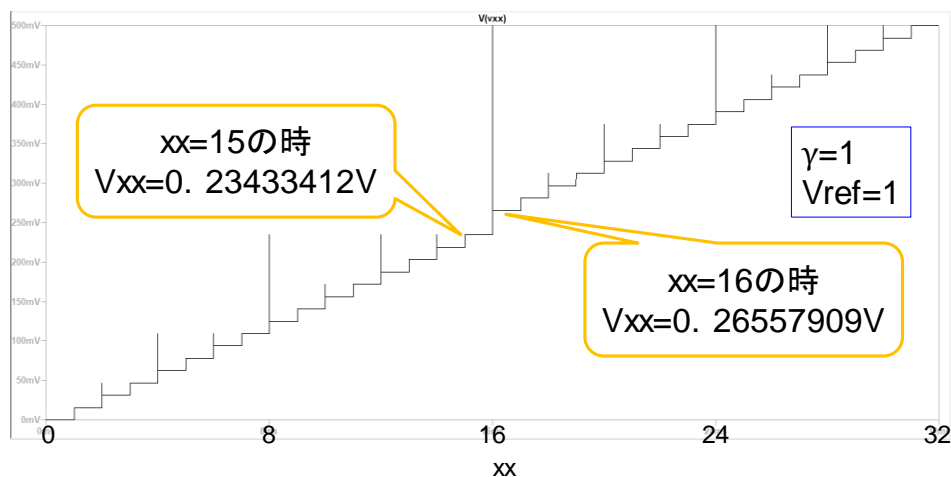


図 6. 2. 8 右側の 16C に誤差がある時のシミュレーション結果

V_{xx} の式が導出できたところで、次に右側の 16C のミスマッチが 12%の時の INL を求める。この時の γ の式は

$$\gamma = \frac{\Delta 16C}{C} = \frac{16C \times 0.12}{C} = 1.92 \quad (6. 2. 34)$$

となるので、Vref=1、 $\gamma=1.92$ として表 6. 2. 2 をグラフ化すると図 6. 2. 9 のようになる。また、この時の INL は図 6. 2. 10 のようになっており、右側の 16C に誤差がある場合、16 の倍数で式が変わり非線形になるので、INL は 16 の倍数で急激な増減があることが分かる。

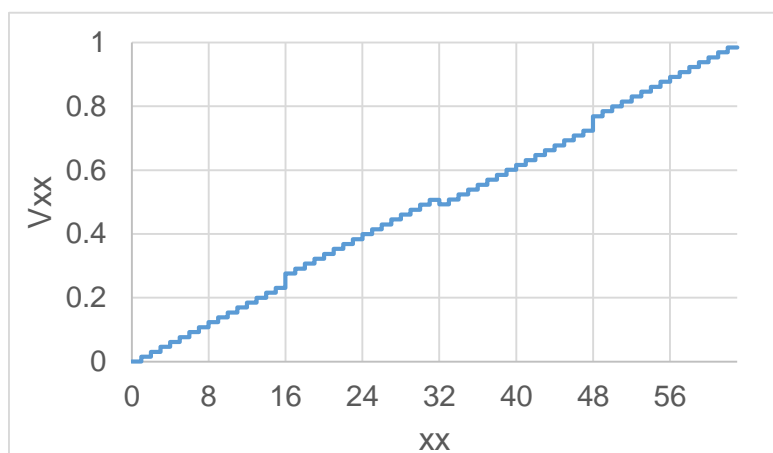


図 6. 2. 9 右側の 16C の誤差が 12%の時の V_{xx}

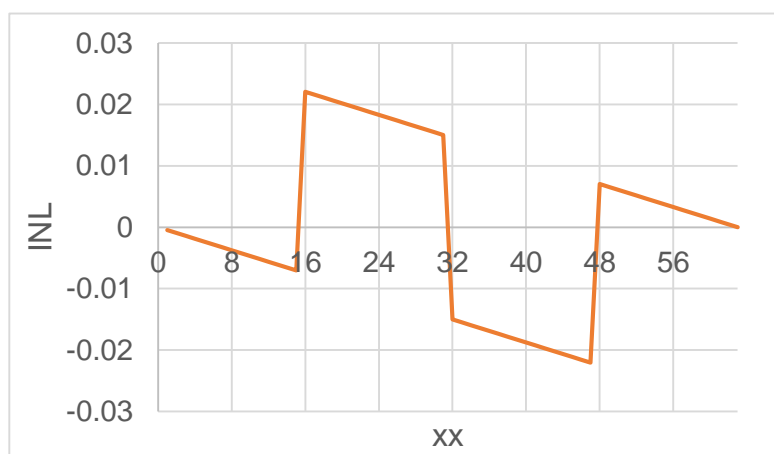


図 6. 2. 10 右側の 16C の誤差が 12%の時の INL

6-3 LSB 側の 2 進重み付け容量アレイにおける容量のミスマッチの影響

この節では、SAR ADC の全体的な非線形性に対する LSB 側の 2 進重み付け容量アレイ（左側の 8C、16C）におけるミスマッチの影響を調査する。まず、図 6. 3. 1 のように左側の 8C にミスマッチ+ $\Delta 8C$ がある場合について検証する。ここでもスプリット容量 8C より右側の電位を V_{01} 、左側の電位を V_{01}'' と置き、 V_{01} の値を計算していく。

$$Q_0 + Q_1 + Q_2 + Q_3 + Q_4 + Q_5 = 0 \quad (6. 3. 1)$$

$$Q_0 = (8C + \Delta 8C)(V_{01}'' - V_{ref}) \quad (6. 3. 2)$$

$$Q1 = 16CV01'' \quad (6.3.3)$$

$$Q2 = 32CV01" \quad (6.3.4)$$

$$Q3 = 8CV01 \quad (6.3.5)$$

$$Q4 = 16CV01 \quad (6.3.6)$$

$$Q5 = 32CV01 \quad (6.3.7)$$

電荷保存則より式(6.3.1)が成り立つので、この式に式(6.3.2)～(6.3.7)を代入すると、

$$\begin{aligned} (8C + \Delta 8C)(V01'' - Vref) + 16CV01'' + 32CV01'' \\ + 8CV01 + 16CV01 + 32CV01 = 0 \end{aligned} \quad (6.3.8)$$

式(6.3.8)を V_{01} について解くと、

$$V_{01} = \frac{8 + \gamma}{56} V_{ref} - \frac{56 + \gamma}{56} V_{01} \quad (6.3.9)$$

となる。ただし、

$$\gamma = \frac{\Delta 8C}{C} \quad (6.3.10)$$

とする。ここでも不明な値 V_{01} が現れるので、以下 V_{01} について求める。

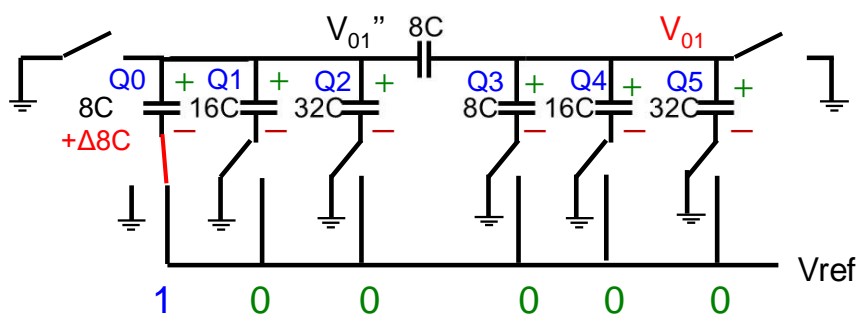


図 6.3.1 左側の 8C に誤差がある場合の回路図

電流は図 6. 3. 2 の赤い矢印の方向に流れるので、スプリット容量の電荷は誤差のある $8C + \Delta 8C$ と $16C$ と $32C$ の電荷の和となる。このため、次の式が成り立つ。

$$8C(V_{01} - V_{01}') = (8C + \Delta 8C)(V_{01}' - V_{ref}) + 16CV_{01}' + 32CV_{01}' \quad (6. 3. 11)$$

式(6. 3. 11)を V_{01}' について解くと、

$$V_{01}' = \frac{(8 + \gamma)V_{ref} + 8V_{01}}{64 + \gamma} \quad (6. 3. 12)$$

となり、不明だった V_{01}' の値が求まった。

この式(6. 3. 12)を式(6. 3. 9)の V_{01}' に代入すると、

$$V_{01} = \frac{8 + \gamma}{56} V_{ref} - \frac{56 + \gamma}{56} \frac{(8 + \gamma)V_{ref} + 8V_{01}}{64 + \gamma} \quad (6. 3. 13)$$

となり、これを V_{01} について解くと、

$$V_{01} = \frac{64 + 8\gamma}{4032 + 64\gamma} V_{ref} \quad (6. 3. 14)$$

となる。

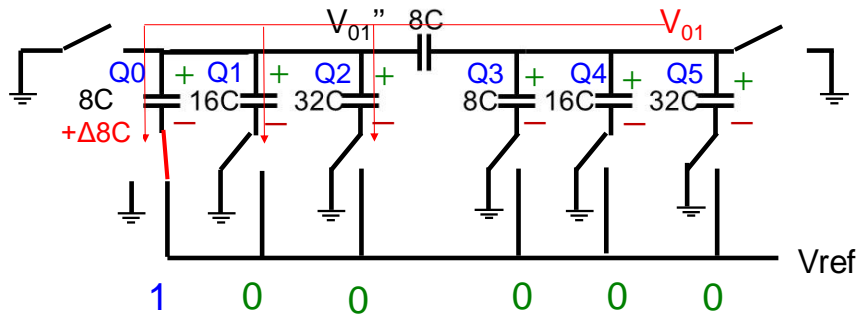


図 6. 3. 2 左側の $8C$ に誤差がある場合の電流の流れ

$xx=02$ 以降も同様に計算していくと、左側の $8C$ に誤差がある場合の V_{xx} の公式は表 6. 3. 1 のようになる。

表 6. 3. 1. 左側の $8C$ に誤差がある場合の V_{xx} の公式

(a) $8C$ が V_{ref} 接続の時 (xx が奇数の時)

$xx=01, 03, 05, 07$	$V_{xx} = \frac{8xx + \gamma}{63 \times 8 + 8\gamma} V_{ref}$
$xx=09, 11, 13, 15$	$V_{xx} = \frac{8xx + 2\gamma}{63 \times 8 + 8\gamma} V_{ref}$

xx=17, 19, 21, 23	$V_{xx} = \frac{8xx + 3\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=25, 27, 29, 31	$V_{xx} = \frac{8xx + 4\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=33, 35, 37, 39	$V_{xx} = \frac{8xx + 5\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=41, 43, 45, 47	$V_{xx} = \frac{8xx + 6\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=49, 51, 53, 55	$V_{xx} = \frac{8xx + 7\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=57, 59, 61, 63	$V_{xx} = \frac{8xx + 8\gamma}{63 \times 8 + 8\gamma} V_{ref}$

(b) 8C が GND 接続の時 (xx が偶数の時)

xx=00, 02, 04, 06	$V_{xx} = \frac{8xx}{63 \times 8 + 8\gamma} V_{ref}$
xx=08, 10, 12, 14	$V_{xx} = \frac{8xx + \gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=16, 18, 20, 22	$V_{xx} = \frac{8xx + 2\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=24, 26, 28, 30	$V_{xx} = \frac{8xx + 3\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=32, 34, 36, 38	$V_{xx} = \frac{8xx + 4\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=40, 42, 44, 46	$V_{xx} = \frac{8xx + 5\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=48, 50, 52, 54	$V_{xx} = \frac{8xx + 6\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=56, 58, 60, 62	$V_{xx} = \frac{8xx + 7\gamma}{63 \times 8 + 8\gamma} V_{ref}$

この表より、 xx が奇数の時と偶数の時とで式の形状が異なっていることが分かる。これは、 xx が奇数の時は誤差のある左側の 8C が V_{ref} 接続されているので、分子の γ の係数が大きくなり、誤差の影響が大きくなる一方で、 xx が偶数の時は誤差のある左側の 8C が GND 接続されているので、誤差の影響はそれほど小さくなく、分子の γ の係数は xx が奇数の時よりも小さいからである。なお、8C が GND 接続の時はスプリット容量の左側に寄生容量がある場合と等価になっているため、6-2 の MSB 側の容量に誤差がある場合より線形性への影響は大きい。グラフ全体としては 1 の倍数毎に C と等価である左側の 8C のスイッチが切り替わるので、 V_{xx} の式が変化し非線形性が現れる。なお、左側の 8C に誤差がない場合、 $\Delta 8C=0$ 、つまり $\gamma=0$ になるので、どの xx でも $V_{xx}=(xx/63)V_{ref}$ となり、誤差なしの時の V_{xx} の公式(5. 1. 16)と一致する。

次にシミュレーションでの検証を行い、表 6. 3. 1 の式が正しいかを確認する。 $V_{ref}=1$ 、 $\gamma=3$ の時の結果を図 6. 3. 3 に示す。シミュレーションでも毎回 V_{xx} の上り幅が異なっており、計算式と同様 1 の倍数で非線形になっていることが確認できる。さらに詳しく検証するために、例として $xx=15$ の時の計算結果とシミュレーション結果を比較する。この時は奇数で 8C が V_{ref} 接続になるので、式は

$$V_{xx} = \frac{8xx + 2\gamma}{63 \times 8 + 8\gamma} V_{ref} \quad (6. 3. 15)$$

となるから、 $xx=15$ 、 $V_{ref}=1$ 、 $\gamma=3$ を代入すると、 $V_{xx} \cong 0.238V$ になる。これは、シミュレーション結果の $V_{xx}=0.23859531V$ とほぼ同じ値になっている。また、8C が GND 接続されている時の式についても確認するために、 $xx=16$ の結果も比較する。この時の式は

$$V_{xx} = \frac{8xx + 2\gamma}{63 \times 8 + 8\gamma} V_{ref} \quad (6. 3. 16)$$

なので、 $xx=16$ 、 $V_{ref}=1$ 、 $\gamma=3$ を代入すると、 $V_{xx} \cong 0.253V$ になる。これは、シミュレーション結果の $V_{xx}=0.25374171V$ とほぼ同じ値になっているので、上記で求めた V_{xx} の理論式はシミュレーション結果と一致しており正しいと言える。

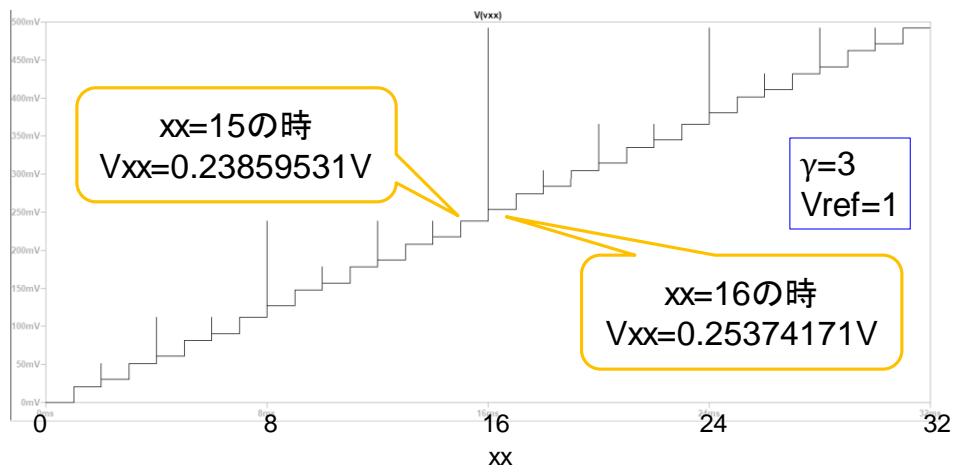


図 6. 3. 3 左側の 8C に誤差がある時のシミュレーション結果

V_{xx} の式が導出できたところで、次に左側の 8C のミスマッチが -6% の時の INL を求める。この時の γ の式は

$$\gamma = \frac{\Delta 8C}{C} = \frac{8C \times (-0.06)}{C} = -0.48 \quad (6. 3. 17)$$

となるので、 $V_{ref}=1$ 、 $\gamma=-0.48$ として表 6. 3. 1 をグラフ化すると図 6. 3. 4 のようになる。また、この時の INL は図 6. 3. 5 のようになっており、左側の 8C に誤差がある場合 V_{xx} の式は毎回変わるため、INL も毎回急激に変動していることが分かる。

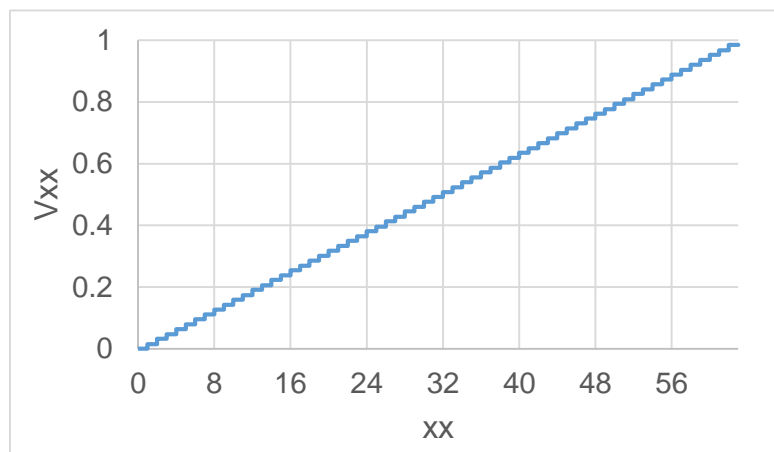


図 6. 3. 4 左側の 8C の誤差が -6% の時の V_{xx}

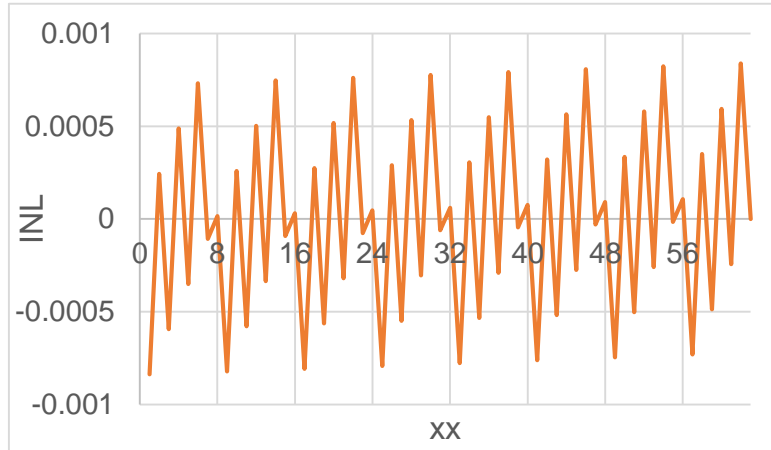


図 6. 3. 5 左側の 8C の誤差が-6%の時の INL

次に、図 6. 3. 6 のように左側の 16C にミスマッチ+ $\Delta 16C$ がある場合について検証する。ここでもスプリット容量 8C より右側の電位を V_{01} 、左側の電位を V_{01}'' と置き、 V_{01} の値を計算していく。

$$Q_0 + Q_1 + Q_2 + Q_3 + Q_4 + Q_5 = 0 \quad (6. 3. 18)$$

$$Q_0 = 8C(V_{01}'' - V_{ref}) \quad (6. 3. 19)$$

$$Q_1 = (16C + \Delta 16C)V_{01}'' \quad (6. 3. 20)$$

$$Q_2 = 32CV_{01}'' \quad (6. 3. 21)$$

$$Q_3 = 8CV_{01} \quad (6. 3. 22)$$

$$Q_4 = 16CV_{01} \quad (6. 3. 23)$$

$$Q5 = 32CV_{01} \quad (6.3.24)$$

式(6.3.18)に式(6.3.19)～(6.3.24)を代入すると、

$$\begin{aligned} 8C(V_{01}'' - V_{ref}) + (16C + \Delta 16C)V_{01}'' + 32CV_{01}'' \\ + 8CV_{01} + 16CV_{01} + 32CV_{01} = 0 \end{aligned} \quad (6.3.25)$$

式(6.3.25)を V_{01} について解くと、

$$V_{01} = \frac{8}{56}V_{ref} - \frac{56 + \gamma}{56}V_{01}'' \quad (6.3.26)$$

となる。ただし、

$$\gamma = \frac{\Delta 16C}{C} \quad (6.3.27)$$

とする。ここでも不明な値 V_{01}'' が現れるので、以下 V_{01}'' について求める。

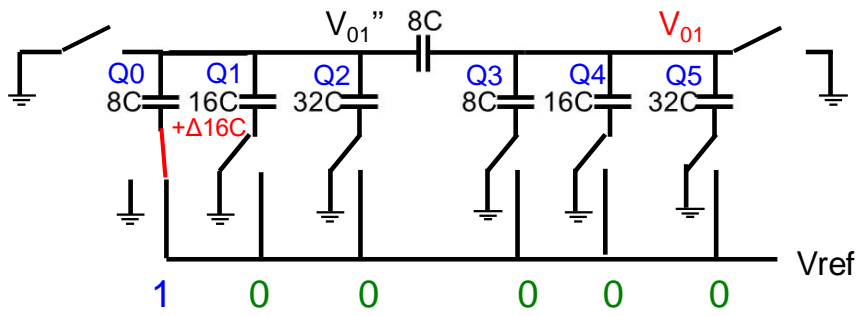


図 6.3.6 左側の 16C に誤差がある場合の回路図

電流は図 6.3.7 の赤い矢印の方向に流れるので、スプリット容量の電荷は $8C$ と誤差のある $16C + \Delta 16C$ と $32C$ の電荷の和となる。このため、次の式が成り立つ。

$$8C(V_{01} - V_{01}'') = 8C(V_{01}'' - V_{ref}) + (16C + \Delta 16C)V_{01}'' + 32CV_{01}'' \quad (6.3.28)$$

式(6.3.28)を V_{01}'' について解くと、

$$V_{01}'' = \frac{8V_{ref} + 8V_{01}}{64 + \gamma} \quad (6.3.29)$$

となり、不明だった V_{01}'' の値が求まった。

この式(6.3.29)を式(6.3.26)の V_{01}' に代入すると、

$$V_{01} = \frac{8}{56}V_{ref} - \frac{56 + \gamma}{56} \frac{8V_{ref} + 8V_{01}}{64 + \gamma} \quad (6.3.30)$$

となり、これを V_{01} について解くと、

$$V_{01} = \frac{64V_{ref}}{4032 + 64\gamma} \quad (6.3.31)$$

となる。

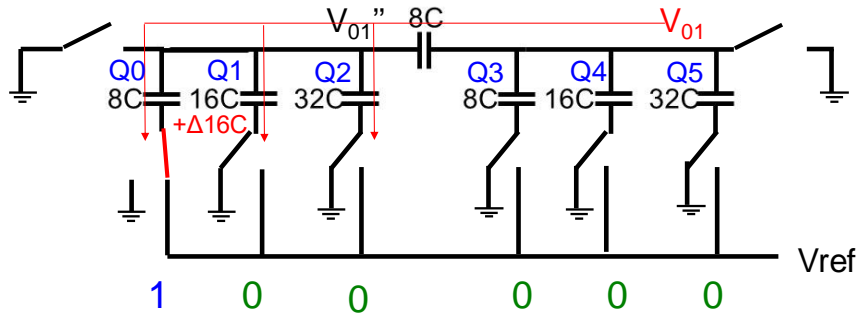


図 6.3.7 左側の 16C に誤差がある場合の電流の流れ

xx=02 以降も同様に計算していくと、左側の 16C に誤差がある場合の V_{xx} の公式は表 6.2.2 のようになる。

表 6.3.2. 左側の 16C に誤差がある場合の V_{xx} の公式

(a) 16C が V_{ref} 接続の時

xx=02, 03, 06, 07	$V_{xx} = \frac{8xx + \gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=10, 11, 14, 15	$V_{xx} = \frac{8xx + 2\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=18, 19, 22, 23	$V_{xx} = \frac{8xx + 3\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=26, 27, 30, 31	$V_{xx} = \frac{8xx + 4\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=34, 35, 38, 39	$V_{xx} = \frac{8xx + 5\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=42, 43, 46, 47	$V_{xx} = \frac{8xx + 6\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=50, 51, 54, 55	$V_{xx} = \frac{8xx + 7\gamma}{63 \times 8 + 8\gamma} V_{ref}$

xx=58, 59, 62, 63	$V_{xx} = \frac{8xx + 8\gamma}{63 \times 8 + 8\gamma} V_{ref}$
-------------------	--

(b) 16C が GND 接続の時

xx=00, 01, 04, 05	$V_{xx} = \frac{8xx}{63 \times 8 + 8\gamma} V_{ref}$
xx=08, 09, 12, 13	$V_{xx} = \frac{8xx + \gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=16, 17, 20, 21	$V_{xx} = \frac{8xx + 2\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=24, 25, 28, 29	$V_{xx} = \frac{8xx + 3\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=32, 33, 36, 37	$V_{xx} = \frac{8xx + 4\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=40, 41, 44, 45	$V_{xx} = \frac{8xx + 5\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=48, 49, 52, 53	$V_{xx} = \frac{8xx + 6\gamma}{63 \times 8 + 8\gamma} V_{ref}$
xx=56, 57, 60, 61	$V_{xx} = \frac{8xx + 7\gamma}{63 \times 8 + 8\gamma} V_{ref}$

この表より、16C が V_{ref} 接続の時と GND 接続の時とで式の形状が異なっていることが分かる。これは、表(a)の時は誤差のある左側の 16C が V_{ref} 接続されているので、分子の γ の係数が大きくなり、誤差の影響が大きくなる一方で、表(b)の時は誤差のある左側の 16C が GND 接続されているので、誤差の影響はそれほど小さくなく、分子の γ の係数は 16C が V_{ref} 接続されている時よりも小さいからである。なお、16C が GND 接続の時はスプリット容量の左側に寄生容量がある場合と等価になっているため、6-2 の MSB 側の容量に誤差がある場合より線形性への影響は大きい。グラフ全体としては 2 の倍数毎に 2C と等価である左側の 16C のスイッチが切り替わるので、 V_{xx} の式が変化し非線形性が現れる。なお、左側の 16C に誤差がない場合、 $\Delta 16C=0$ 、つまり $\gamma=0$ になるので、どの xx でも $V_{xx}=(xx/63)V_{ref}$ となり、誤差なしの時の V_{xx} の公式(5. 1. 16)と一致する。

次にシミュレーションでの検証を行い、表 6. 3. 2 の式が正しいかを確認する。 $V_{ref}=1$ 、

$\gamma=3$ の時の結果を図 6. 3. 8 に示す。シミュレーションでも計算式と同様、2 の倍数で非線形になっていることが確認できる。さらに詳しく検証するために、例として $xx=22$ の時の計算結果とシミュレーション結果を比較する。この時は 16C が Vref 接続なので、式は

$$V_{xx} = \frac{8xx + 3\gamma}{63 \times 8 + 8\gamma} V_{ref} \quad (6. 3. 32)$$

となるから、 $xx=22$ 、 $V_{ref}=1$ 、 $\gamma=3$ を代入すると、 $V_{xx} \cong 0.350V$ になる。これは、シミュレーション結果の $V_{xx}=0.35029761V$ とほぼ同じ値になっている。また、16C が GND 接続されている時の式についても確認するために、 $xx=25$ の結果も比較する。この時の式は

$$V_{xx} = \frac{8xx + 3\gamma}{63 \times 8 + 8\gamma} V_{ref} \quad (6. 3. 33)$$

なので、 $xx=25$ 、 $V_{ref}=1$ 、 $\gamma=3$ を代入すると、 $V_{xx} \cong 0.395V$ になる。これは、シミュレーション結果の $V_{xx}=0.39573497V$ とほぼ同じ値になっているので、上記で求めた V_{xx} の理論式はシミュレーション結果と一致しており正しいと言える。

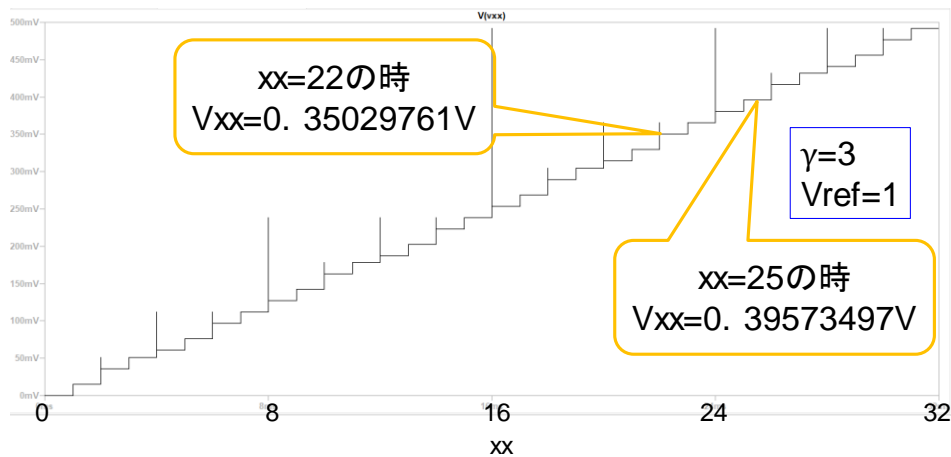


図 6. 3. 8 左側の 16C に誤差がある時のシミュレーション結果

V_{xx} の式が導出できたところで、次に左側の 16C のミスマッチが -6% の時の INL を求める。この時の γ の式は

$$\gamma = \frac{\Delta 16C}{C} = \frac{16C \times (-0.06)}{C} = -0.96 \quad (6. 3. 34)$$

となるので、 $V_{ref}=1$ 、 $\gamma=-0.96$ として表 6. 3. 2 をグラフ化すると図 6. 3. 9 のようになる。また、この時の INL は図 6. 3. 10 のようになっており、左側の 16C に誤差がある場合、2 の倍数で式が変わり非線形になるので、INL は 2 つおきに急激な増減があることが分かる。

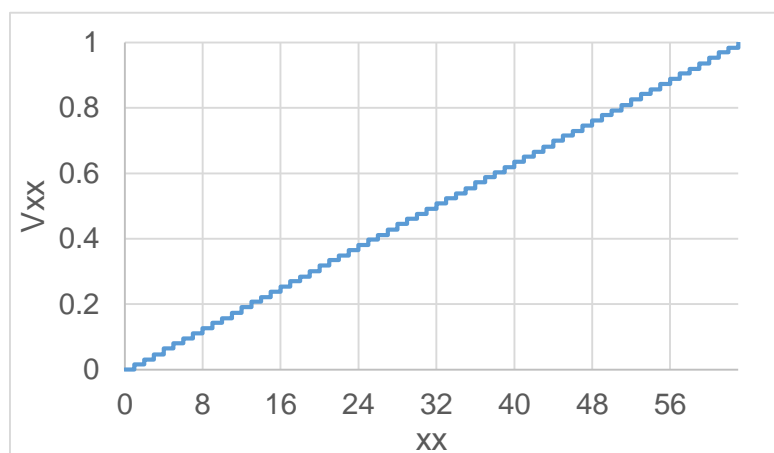


図 6.3.9 左側の 16C の誤差が-6%の時の V_{xx}

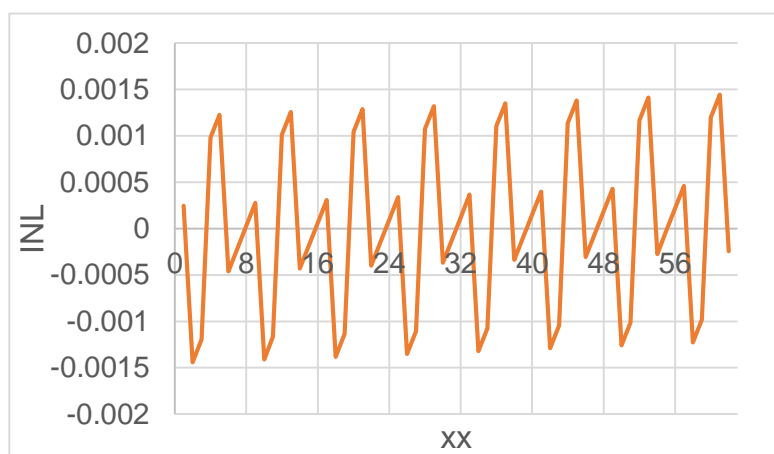


図 6.3.10 左側の 16C の誤差が-6%の時の INL

以上より、誤差のある容量が **GND** 接続されている場合は、スプリット容量に寄生容量がある場合と同じ式になるので、右側の容量に誤差がある場合よりも左側の容量に誤差がある場合の方が影響が大きいことが明らかになった。よって、左側の容量の精度の方が線形性に影響を及ぼすため、高精度である必要がある。一方、誤差のある容量が **Vref** 接続されている場合は、分子の誤差の項が大きくなるため、スプリット容量に寄生容量がある場合よりも誤差が大きくなる。また、誤差のある容量が **Vref** 接続に切り替わる時に式が変わるので、**C** と等価である左側 8C に誤差がある場合は 1 つおきに、**2C** と等価である左側 16C に誤差がある場合は 2 つおきに、**8C** と等価である右側 8C に誤差がある場合は 8 つおきに、**16C** と等価である右側 16C に誤差がある場合は 16 おきに非線形になっており、誤差のある容量の倍数で非線形となることが確認できた。よって、小容量（特にスプリット容量より左側の容量）に誤差がある時の方が線形性が崩れる頻度が高くなることが言える。

第7章 キャリブレーションについて

この章では、製造テスト段階で SAR ADC の INL を測定することにより、第6章で示したスプリット容量や2進重み付け容量にミスマッチがある場合の影響をキャリブレーションする方法について提案する[6]。この方法では、測定データをフラッシュメモリに保存し、フィールドでの通常の動作中に、生の DAC 出力をフラッシュメモリ内のデータに基づいて補正することで、その線形性を向上させることができる。以下、具体的な数値例を用いたシミュレーション結果を示す。

7-1 スプリット容量に15%のミスマッチがある場合

この節では、6-1 で示したスプリット容量 8C に 15% のミスマッチがある場合についてキャリブレーションする。まず初めに、ミスマッチがある場合の V_{xx} (測定値) をメモリに保存する。この時の V_{xx} (測定値) については、 γ の値が式(6. 1. 16)より $\gamma=1.2$ となるので、表 6. 1. 1 に γ を代入して表 7. 1. 1 のようになると予測できる。

表 7. 1. 1. スプリット容量に 15% の誤差がある場合の V_{xx} (計算値) の式

xx=00～xx=07 まで	$V_{xx} = \frac{8xx + 1.2xx}{520.8} V_{ref}$
xx=08～xx=15 まで	$V_{xx} = \frac{8xx + 1.2(xx - 7)}{520.8} V_{ref}$
xx=16～xx=23 まで	$V_{xx} = \frac{8xx + 1.2(xx - 14)}{520.8} V_{ref}$
xx=24～xx=31 まで	$V_{xx} = \frac{8xx + 1.2(xx - 21)}{520.8} V_{ref}$
xx=32～xx=39 まで	$V_{xx} = \frac{8xx + 1.2(xx - 28)}{520.8} V_{ref}$
xx=40～xx=47 まで	$V_{xx} = \frac{8xx + 1.2(xx - 35)}{520.8} V_{ref}$
xx=48～xx=55 まで	$V_{xx} = \frac{8xx + 1.2(xx - 42)}{520.8} V_{ref}$
xx=56～xx=63 まで	$V_{xx} = \frac{8xx + 1.2(xx - 49)}{520.8} V_{ref}$

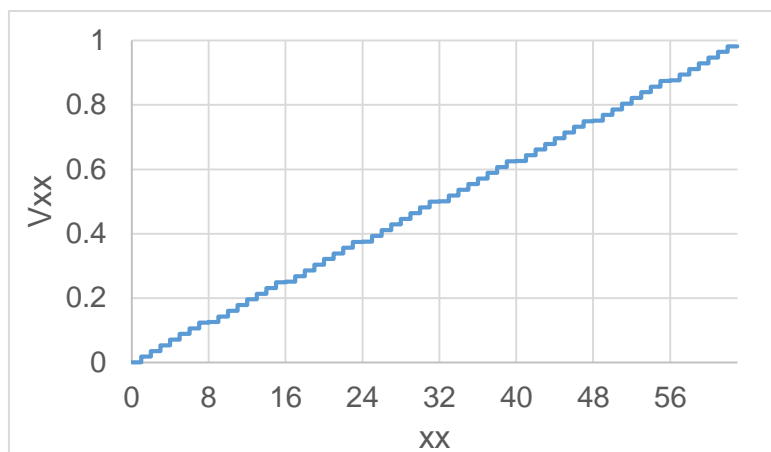
表 7.1.1 の V_{xx} (計算値) を、誤差のない理想的な式(5.1.16)に補正するために、ある値 Y を乗算する。この Y は以下のようにして求めることができる。ただし、ここでは $V_{ref}=1$ とする。

$$V_{xx} \text{ (計算値)} \times Y = \frac{xx}{63} \quad (7.1.1)$$

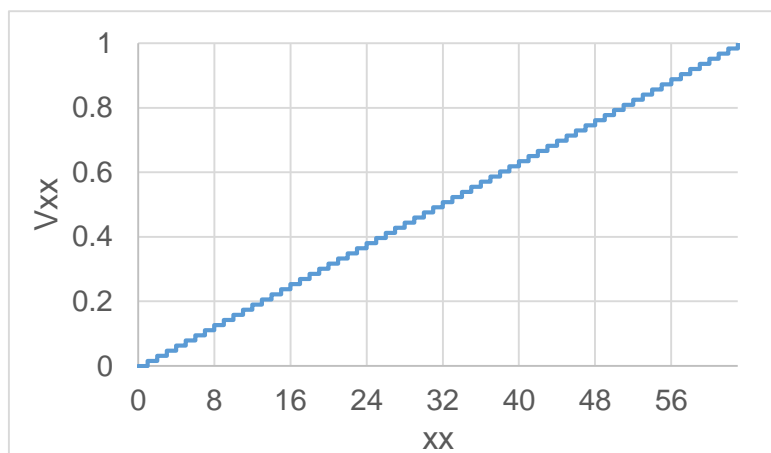
Y についてこれを解くと、

$$Y = \frac{xx}{63V_{xx} \text{ (計算値)}} \quad (7.1.2)$$

となる。メモリに保存されている V_{xx} (測定値) と表 7.1.1 の V_{xx} (計算値) はほぼ同じであるから、メモリに保存されている V_{xx} (測定値) に、表 7.1.1 の V_{xx} (計算値) の逆数に $xx/63$ を掛けた Y を積算することで、理想的な出力が得られる。その結果は図 7.1.1 のようになり、図(a)の補正前のグラフは図 6.1.4 と同じもので、8 の倍数で非線形になっているが、補正後の図(b)ではどのコードにおいても線形性を示していることが確認できる。



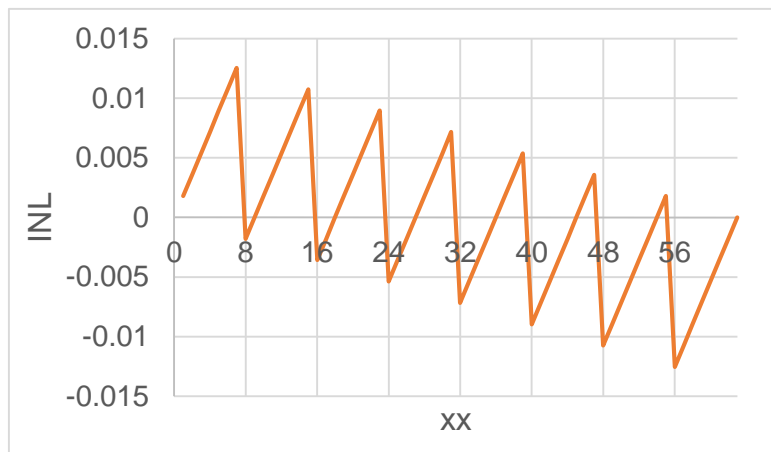
(a) 補正前



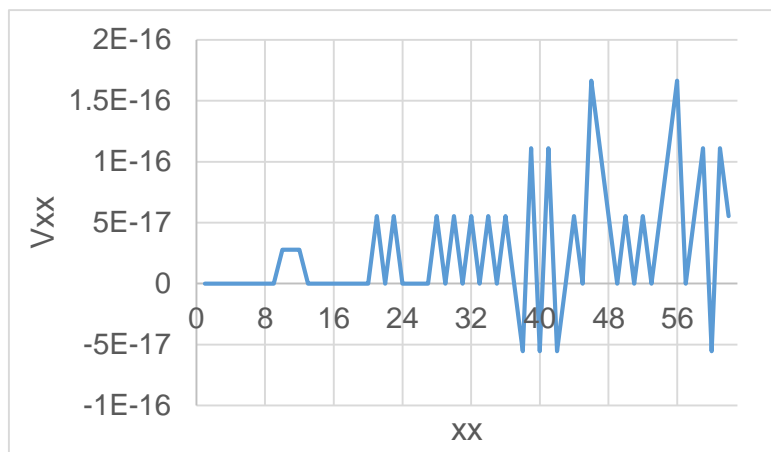
(b) 補正後

図 7.1.1 スプリット容量に 15%の誤差がある場合の V_{xx} の補正前と補正後

この時の INL についても見ていくと、補正前と補正後のグラフは図 7.1.2 のようになる。補正前の図(a)は図 6.1.5 で示したグラフと同じもので、非線形になる 8 の倍数で急激な変動があるが、補正後の図(b)ではほぼ 0 になっているので、誤差が最小限に抑えられた理想的な値になっていると言える。



(a) 補正前



(b) 補正後

図 7.1.2 スプリット容量に 15%の誤差がある場合の INL の補正前と補正後

7-2 MSB 側の容量に 12%のミスマッチがある場合

この節では、6-2 で示した MSB 側（右側）の 8C に 12%のミスマッチがある場合についてキャリブレーションする。7-1 と同様、まず初めにミスマッチがある場合の V_{xx} （測定値）をメモリに保存する。この時の V_{xx} （測定値）については、 μ の値が式(6.2.17)より

$\gamma=0.96$ となるので、表 6. 2. 1 に γ を代入して表 7. 2. 1 のようになると予測できる。

表 7. 2. 1. MSB 側の 8C に 12%の誤差がある場合の V_{xx} (計算値) の式

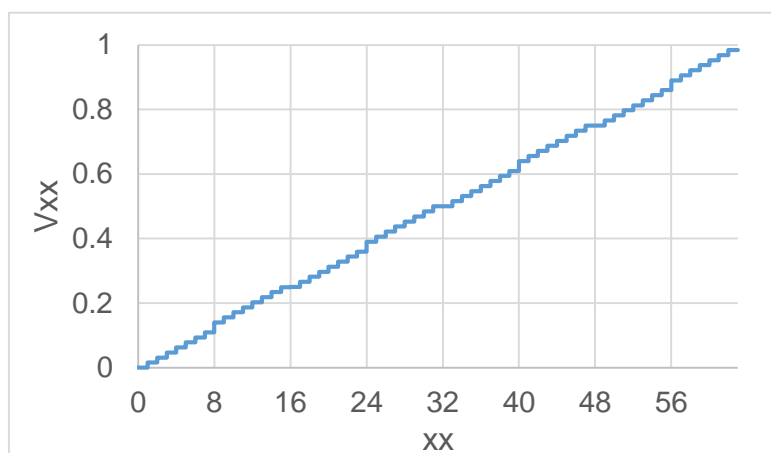
(a) 8C が V_{ref} 接続の時

xx=08~15 まで	$V_{xx} = \frac{8xx + 7.68}{511.68} V_{ref}$
xx=24~31 まで	
xx=40~47 まで	
xx=56~63 まで	

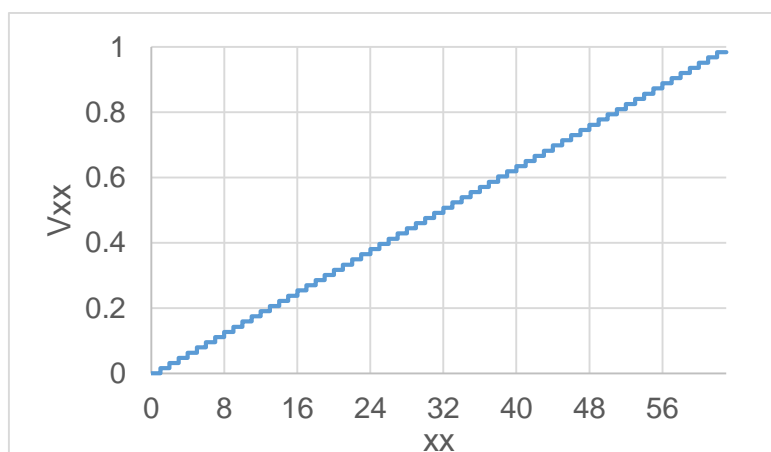
(b) 8C が GND 接続の時

xx=00~07 まで	$V_{xx} = \frac{8xx}{511.68} V_{ref}$
xx=16~23 まで	
xx=32~39 まで	
xx=48~55 まで	

表 7. 2. 1 の V_{xx} (計算値) を、誤差のない理想的な式(5. 1. 16)に補正するために、7-1 と同様、Y の式(7. 1. 2)を使用する。ただし、ここでも $V_{ref}=1$ とする。メモリに保存されている V_{xx} (測定値) と表 7. 2. 1 の V_{xx} (計算値) はほぼ同じであるから、メモリに保存されている V_{xx} (測定値) に、表 7. 2. 1 の V_{xx} (計算値) の逆数に $xx/63$ を掛けた Y を積算することで、理想的な出力が得られる。その結果は図 7. 2. 1 のようになり、図(a)の補正前のグラフは図 6. 2. 4 と同じもので、8 の倍数で非線形になっているが、補正後の図(b)ではどのコードにおいても線形性を示していることが確認できる。



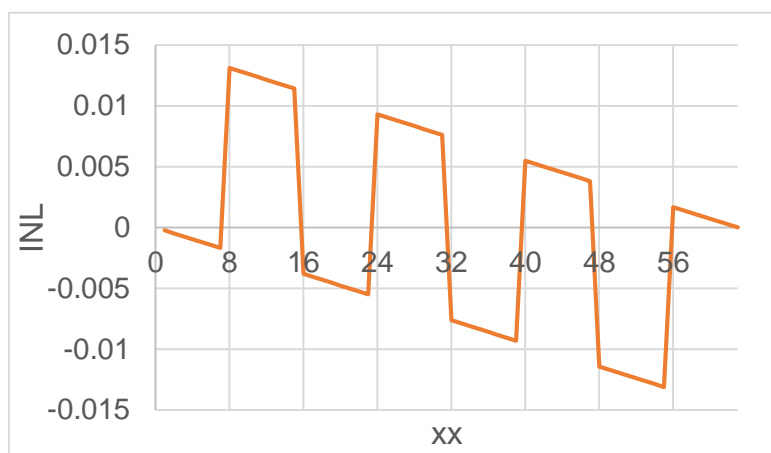
(a) 補正前



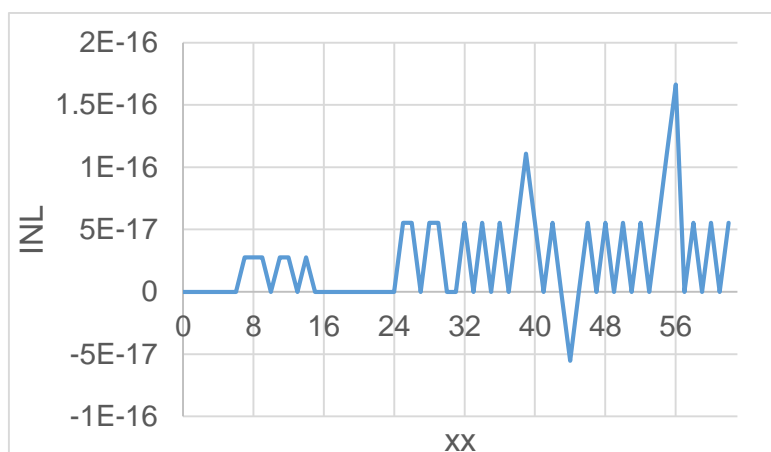
(b) 補正後

図 7.2.1 MSB 側の 8C に 12%の誤差がある場合の V_{xx} の補正前と補正後

この時の INL についても見ていくと、補正前と補正後のグラフは図 7.2.2 のようになる。補正前の図(a)は図 6.2.5 で示したグラフと同じもので、非線形になる 8 の倍数で急激な変動があるが、補正後の図(b)ではほぼ 0 になっているので、この場合も誤差が最小限に抑えられた理想的な値になっていると言える。



(a) 補正前



(b) 補正後

図 7. 2. 2 MSB 側の 8C に 12%の誤差がある場合の INL の補正前と補正後

7-3 LSB 側の容量に－6%のミスマッチがある場合

この節では、6-3 で示した LSB 側（左側）の 16C に－6%のミスマッチがある場合についてキャリブレーションする。7-1、7-2 と同様、まず初めにミスマッチがある場合の V_{xx} （測定値）をメモリに保存する。この時の V_{xx} （測定値）については、 γ の値が式(6. 3. 34)より $\gamma = -0.96$ となるので、表 6. 3. 2 に γ を代入して表 7. 3. 1 のようになると予測できる。

表 7. 3. 1. LSB 側の 16C に－6%の誤差がある場合の V_{xx} （計算値）の式
(a) 16C が V_{ref} 接続の時

$xx=02, 03, 06, 07$	$V_{xx} = \frac{8xx - 0.96}{496.32} V_{ref}$
---------------------	--

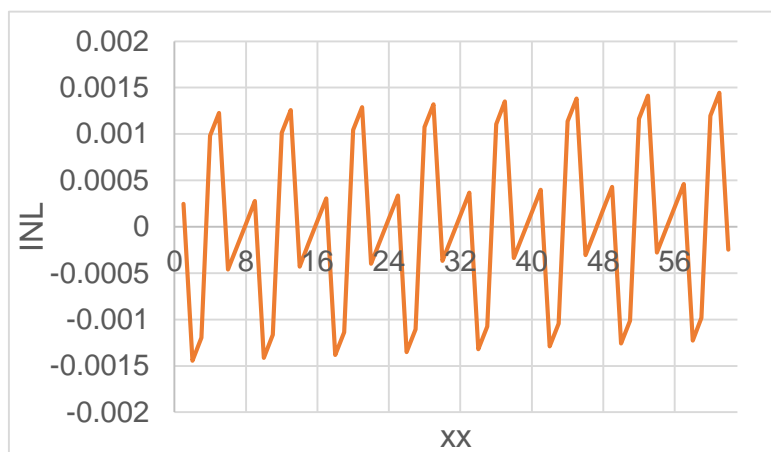
xx=10, 11, 14, 15	$V_{xx} = \frac{8xx - 1.92}{496.32} V_{ref}$
xx=18, 19, 22, 23	$V_{xx} = \frac{8xx - 2.88}{496.32} V_{ref}$
xx=26, 27, 30, 31	$V_{xx} = \frac{8xx - 3.84}{496.32} V_{ref}$
xx=34, 35, 38, 39	$V_{xx} = \frac{8xx - 4.8}{496.32} V_{ref}$
xx=42, 43, 46, 47	$V_{xx} = \frac{8xx - 5.76}{496.32} V_{ref}$
xx=50, 51, 54, 55	$V_{xx} = \frac{8xx - 6.72}{496.32} V_{ref}$
xx=58, 59, 62, 63	$V_{xx} = \frac{8xx - 7.68}{496.32} V_{ref}$

(b) 16C が GND 接続の時

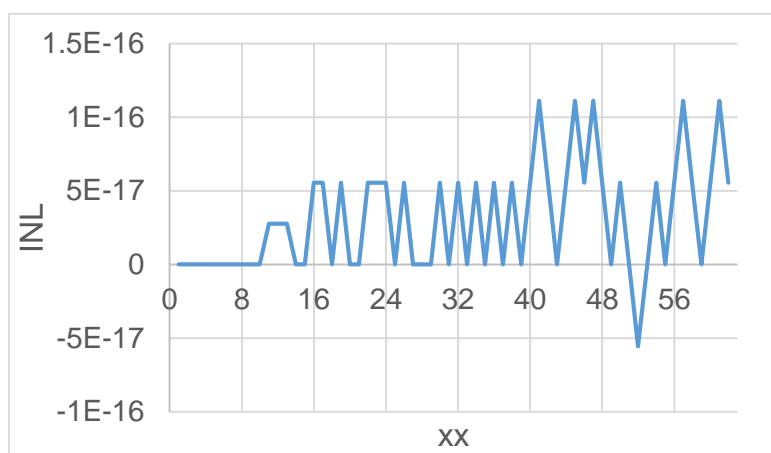
xx=00, 01, 04, 05	$V_{xx} = \frac{8xx}{496.32} V_{ref}$
xx=08, 09, 12, 13	$V_{xx} = \frac{8xx - 0.96}{496.32} V_{ref}$
xx=16, 17, 20, 21	$V_{xx} = \frac{8xx - 1.92}{496.32} V_{ref}$
xx=24, 25, 28, 29	$V_{xx} = \frac{8xx - 2.88}{496.32} V_{ref}$
xx=32, 33, 36, 37	$V_{xx} = \frac{8xx - 3.84}{496.32} V_{ref}$
xx=40, 41, 44, 45	$V_{xx} = \frac{8xx - 4.8}{496.32} V_{ref}$
xx=48, 49, 52, 53	$V_{xx} = \frac{8xx - 5.76}{496.32} V_{ref}$

xx=56, 57, 60, 61	$V_{xx} = \frac{8xx - 6.72}{496.32} V_{ref}$
-------------------	--

表 7.3.1 の V_{xx} （計算値）を、誤差のない理想的な式(5.1.16)に補正するために、7-1、7-2 と同様、Y の式(7.1.2)を使用する。ただし、ここでも $V_{ref}=1$ とする。メモリに保存されている V_{xx} （測定値）と表 7.3.1 の V_{xx} （計算値）はほぼ同じであるから、メモリに保存されている V_{xx} （測定値）に、表 7.3.1 の V_{xx} （計算値）の逆数に $xx/63$ を掛けた Y を積算することで、理想的な出力が得られる。この時の補正前と補正後の INL のグラフは、図 7.3.1 のようになる。補正前の図(a)は図 6.3.10 で示したグラフと同じもので、非線形になる 2 の倍数で急激な変動があるが、補正後の図(b)ではほぼ 0 になっているので、この場合も誤差が最小限に抑えられた理想的な値になっていると言える。なお、この時の V_{xx} のグラフは、ミスマッチ γ が小さいため、補正前の非線形となるコードが分かりにくく、補正前後の変化が比較しにくかったので表示していない。



(a) 補正前



(b) 補正後

図 7.3.1 LSB 側の 16C に-6%の誤差がある場合の INL の補正前と補正後

このように、ミスマッチの値 γ を代入して Y を導出し、これをメモリ内の測定データに乗算することにより、他の容量にミスマッチがある場合でも線形の理想値に補正できる。

第 8 章 まとめと今後の課題

8-1 まとめ

本論文では、従来の電荷再配分型 SAR ADC の回路中の容量比が大きくなるという問題を解決する、スプリット容量を用いた方式について説明した。しかし、この提案方式はスプリット容量の両端に寄生容量が発生し、出力の線形性に影響を与えるという問題があったため、寄生容量が左右にある場合の一般式をそれぞれ導出し、さらに一般式から寄生容量の値を計算する方法について示した。寄生容量の値を明らかにすることで、どのコードでどの程度の非線形性が発生するかを事前に予測することが可能になった。また、スプリット容量や 2 進重み付け容量そのものにミスマッチがある場合についても検証し、キャリブレーションの方法をいくつかの例を挙げて説明した。その結果、出力を線形に補正することができるようになり、これまで問題となっていた非線形性の問題を解決することが可能になった。

8-2 今後の課題

本研究では、スプリット容量に寄生容量がある場合とミスマッチがある場合について別々に検証していたが、今後の課題として、これらが同時に発生する場合についても検討する。さらに、今回検証したのは 6bit の小規模回路であったので、12bit の SAR ADC の回路の場合でもスプリット容量のミスマッチ、寄生容量の影響で非線形性が発生するコードについて検証する。

参考文献

- [1] F. Maloberti, “Data Converters”, Springer, 2007.
- [2] J.-Y. Um, Y.-J. Kim, E.-W. Song, J.-Y. Sim, H.-J. Park, “A Digital-Domain Calibration of Split-Capacitor DAC for a Differential SAR ADC without Additional Analog Circuits”, IEEE Transaction on Circuits and Systems: I, vol. 60, no. 11, pp. 2845-2856, Nov. 2013.
- [3] Y. Kuramochi, A. Matsuzawa, M. Kawabata, “A 0.027-mm² Self-Calibrating Successive Approximation ADC Core in 0.18- μ m CMOS”, IEICE Trans. Fundamentals, E92. A, no. 2, pp.360-366, Feb. 2009.
- [4] M. Yoshioka, K. Ishikawa, T. Takayama, S. Tsukamoto, "A 10b 50MS/s 820 μ W SAR ADC with On-Chip Digital Calibration", IEEE ISSCC, San Francisco, Feb. 2010.
- [5] Y. Chen, X. Zhu, H. Tamura, M. Kibune, Y. Tomita, T. Hamada, M. Yoshioka, K. Ishikawa, T. Takayama, J. Ogawa, S. Tsukamoto, T. Kuroda, "Split Capacitor DAC Mismatch Calibration in Successive Approximation ADC", IEEE Custom Integrated Circuits Conference, San Jose, CA, Sept. 2009.
- [6] H. Kobayashi, A. Kuwana, J. Wei, Y. Zhao, S. Katayama, T. M. Tri, M. Hirai, T. Nakatani, K. Hatayama, K. Sato, T. Ishida, T. Okamoto, T. Ichikawa, "Analog/Mixed-Signal Circuit Testing Technologies in IoT Era", IEEE 15th International Conference on Solid-State and Integrated Circuit Technology, Kunming, China, Nov. 2020.
- [7] Yujie Zhao, Yuto Sasaki, Yuki Ozawa, Riho Aoki, Anna Kuwana and Haruo Kobayashi, "ADC Histogram Test for Specific Codes", AMDE, Kiryu, Dec.2018.

第2部 オペアンプの短時間試験のための Null 法評価

第1章 序論

1-1 研究目的と背景

オペアンプはアナログコンピュータを構成する上で、極めて重要な回路として研究・開発されてきた。アナログコンピュータが衰退した現在でも、様々なアナログ回路の高性能化において不可欠なコンポーネントとなっている。かつて、イギリスの化学者・物理学者のマイケル・ファラデーが、電磁流量計の原理に基づきロンドンのテムズ川の流速を測定しようとしたが、その当時、検出された微弱電気信号を増幅する電子回路がなかったため、実用化できなかったと言われている。このエピソードからも、オペアンプ等のアナログ電子回路が非常に重要であることが分かる。近年はIoT (Internet of Things) 技術の普及に伴い、センサーが多用されていることから、オペアンプはセンサーインターフェースのアナログ回路としてもますます重要になってきている[1-5]。IoT システムは低コストでありながら高い信頼性が求められるため、オペアンプの量産出荷時のテストにおいても低コストで高品質であることが要求される。本論文ではオペアンプ特性の測定に焦点を当て、測定時間を大幅に短縮化する方式について調査検討した。

オペアンプとは高インピーダンスの差動入力と低インピーダンスのシングルエンド出力からなる、極めて高利得、高精度を有する増幅器である。高精度のアナログ回路で 사용되는ことが多いため、正確な性能の測定が要求される。しかし、オープンループ利得が高く、周辺回路・環境の影響（例えば雑音、ゼーバック効果による熱起電力、GND リターン電流など）を受けてアンプ入力における微小電圧誤差が発生するため、正確な性能測定が阻害されるなどの問題がある。

そこでここではサーボループを用いて、アンプの入力電圧を強制的にゼロ電位にすることによって、被試験アンプ自体がその誤差を測定する Null 法について調査した。Null 法は、オペアンプ特性を正確に測定するために実験室レベルで広く使用されているが、比較的高いテスト時間がかかるため、低コストで短時間のテストが必須である大量生産テストに使用することは困難であった。（一般的に1ドルのチップであればテスト時間は1秒以下が妥当と言われている。）そこで、Null 法を量産試験に適用するために、Null 回路中の補償容量を適切な値に選択することで、測定時間を大幅に短縮し、高速で安定したテストを実現する方法について検討した。本研究では、Null 法回路[1]の動作を LT spice シミュレーションにより検証し、シミュレーション結果との一致を確認するために、実機を用いた測定も行い比較

した。

なお、この Null 法回路について実験を中心に行った内容を[6]で、また特に微小オフセット電圧の試験を短時間（多チャンネル化）・高精度で実現する DC-AC 変換を用いた方式を[7]で報告している。

1-2 第 2 部の構成

まずは、第 2 章で基本的なオペアンプの測定回路について解説し、Null 法による効果について示す。第 3 章では、製作した Null 回路について説明する。第 4 章ではオペアンプの周波数特性、オフセット電圧、オープンループ利得（A_{OL}）、同相信号除去特性（CMRR）、電源除去特性（PSRR）のシミュレーション・実験検証について解説する。第 5 章ではオペアンプのオープンループ利得、同相信号除去特性、電源除去特性の AC 特性測定実験について説明する。最後に第 6 章で、全体のまとめと提案手法の今後の課題について示す。

第 2 章 基本的なオペアンプの測定回路

2-1 Null 法によるオペアンプの測定回路

図 2. 1. 1 に Null 法を用いたオペアンプ測定回路を示す。右側の補助オペアンプを積分器として使用し、極めて高い DC オープンループ利得を持つ安定したループを形成している。図中の S1~S6 のスイッチを表 2. 1. 1 のように切り替えることで、オフセットやバイアス電流などの様々なパラメータを正確に測定できる。ここで測定したいオペアンプ

（DUT）のオフセット電圧は、DUT の入力に印加される補正電圧と等しいが、 μV オーダーの微小な値であるため直接測定するのは困難である。しかし、テスト・ポイントの電圧（TP1）が、DUT の入力に印加される補正電圧の 1,000 倍で出力されるため、値が数十 mV 以上となる。よって、測定したいオペアンプのオフセット電圧は TP1 の測定値を 1/1,000 倍することで求まるので、正確な測定が容易になる。

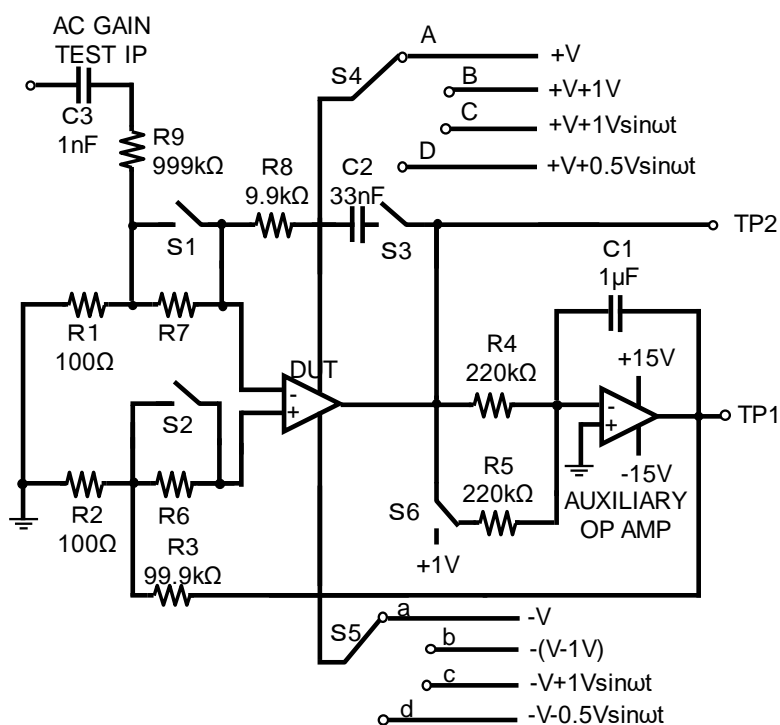


図 2. 1. 1 Null 法によるオペアンプ測定回路

表 2. 1. 1. スイッチ切り替えとオペアンプ測定項目

パラメータ	S1	S2	S3	S4	S5	S6
オフセット	short	short	open	A	a	open
オフセットと バイアス電流	short / open	short / open	open	A	a	open
DC 利得	short	short	open	A	a	open / short
AC 利得	short	short	open	A	a	open
DC の CMRR	short	short	open	A/B	a/b	open
DC の PSRR	short	short	open	A/B	a/b	open
AC の CMRR	short	short	short	C	c	open
AC の PSRR	short	short	short	D	d	open

第 3 章 製作した Null 回路

3-1 製作したオペアンプ実験回路

製作した Null 回路を図 3. 1. 1 に、その回路写真を図 3. 1. 2 に示す。被測定対象オペアンプ (DUT) は高精度 CMOS オペアンプ AD8571 を使用し、積分器として使用した補助

オペアンプ（Auxiliary OP Amp）は汎用 FET 入力オペアンプ LF356 を用いた。以下、この回路を用いて表 2. 1. 1 のパラメータを測定し、負荷抵抗や容量を変化させた時のシミュレーション・実験結果を示す。

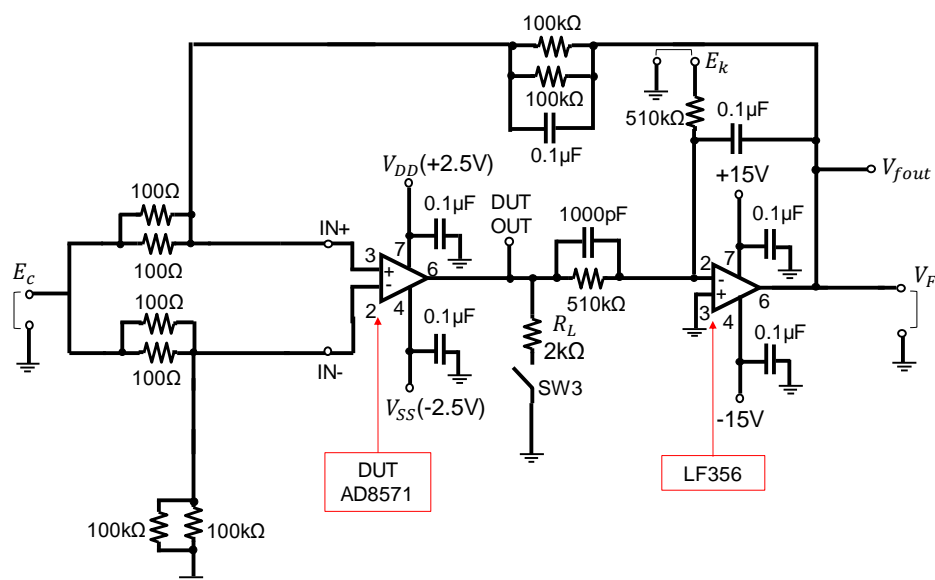


図 3. 1. 1 製作した Null 法によるオペアンプ実験回路

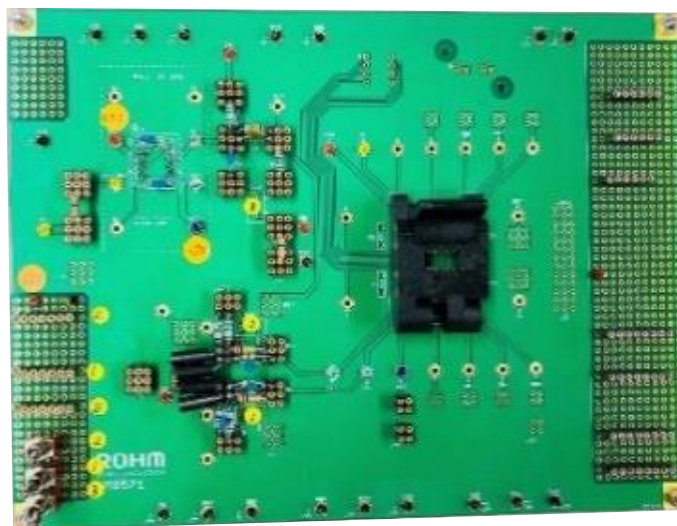


図 3. 1. 2 製作した図 3. 1. 1 の回路の写真

第 4 章 シミュレーションと実験検証

ここでは、LT spice シミュレーションの被試験デバイス（DUT）として、メーカーから提供されたオペアンプ AD8571 のモデルをそのまま使用した。

4-1 周波数特性

図 4. 1. 1 はオペアンプの周波数特性を測定するための Null 回路で、この回路中の V_{in} に 1mVp-p 、周波数 1kHz の正弦波を入力し、 C_1 と C_2 の値を変化させた時のシミュレーション結果を図 4. 1. 2 に示す。この回路は利得 1,000 倍の増幅回路なので、デシベル換算すると

$$\text{Gain} = 20\log 1000 = 60\text{dB} \quad (4. 1. 1)$$

となる。この利得 60dB が高周波領域まで下がらずに伸びているほど高速応答になる。図 4. 1. 2 (a) は $C_1=0.1\mu\text{F}$ 、 $C_2=0.1\mu\text{F}$ の時のシミュレーション結果で、ピークがないので安定しているが、カットオフ周波数は $f_c \cong 30\text{Hz}$ で、低周波数で利得が下がり始めているので応答は遅い。また、入力周波数 1kHz では、利得は 30dB 下がっている。図 4. 1. 2 (b) は $C_1=0.1\mu\text{F}$ 、 $C_2=1\text{nF}$ の時のシミュレーション結果である。この時、 C_1 は $0.1\mu\text{F}$ で固定したが、 C_2 は 1nF と小さくしたので、応答は図 4. 1. 2 (a) の結果よりやや高速になった。また、入力周波数 1kHz では、利得は 40dB 下がっている。図 4. 1. 2 (c) は $C_1=1\text{nF}$ 、 $C_2=0.1\mu\text{F}$ の時のシミュレーション結果である。この時、図 4. 1. 2 (b) とは反対に、 C_2 を $0.1\mu\text{F}$ で固定し、 C_1 を 1nF と小さくしたので、カットオフ周波数は約 1kHz と高周波領域まで利得が下がらず、 $C_1=0.1\mu\text{F}$ 、 $C_2=0.1\mu\text{F}$ の時より約 30 倍高速になった。また、入力周波数 1kHz では、利得はほぼ下らない。以上より、最も高速応答を示す $C_1=1\text{nF}$ 、 $C_2=0.1\mu\text{F}$ が最適値であることが分かる。

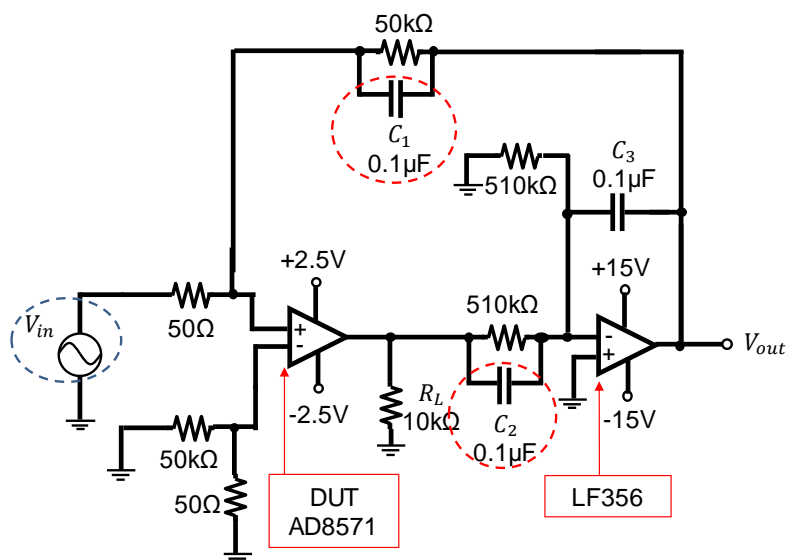
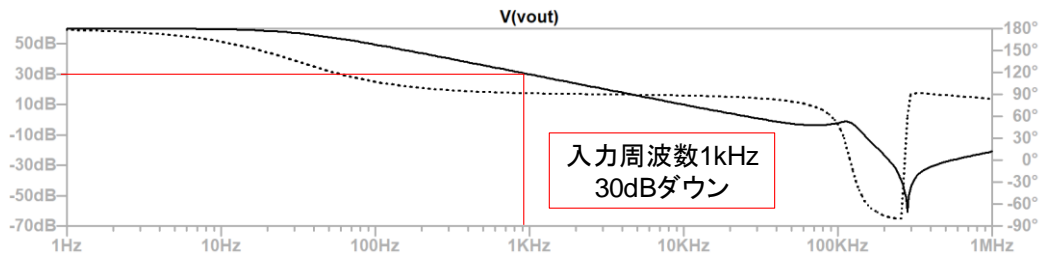
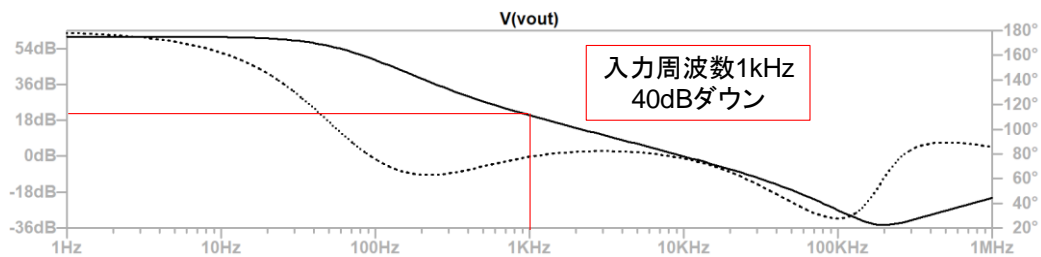


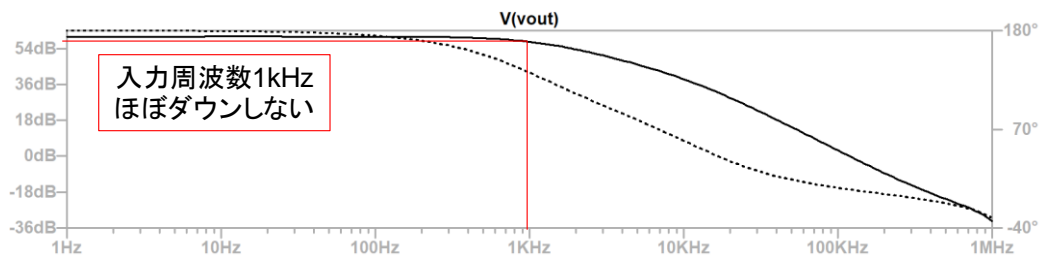
図 4. 1. 1 周波数特性測定回路



(a) $C_1=0.1\mu\text{F}$ 、 $C_2=0.1\mu\text{F}$ の時



(b) $C_1=0.1\mu\text{F}$ 、 $C_2=1\text{nF}$ の時

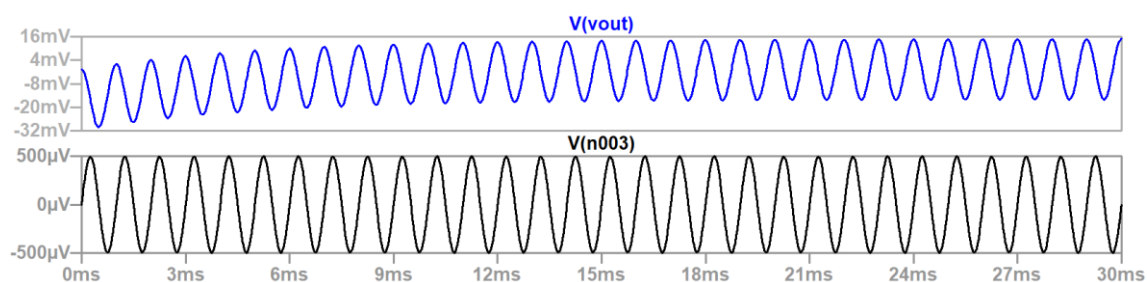


(c) $C_1=1\text{nF}$ 、 $C_2=0.1\mu\text{F}$ の時

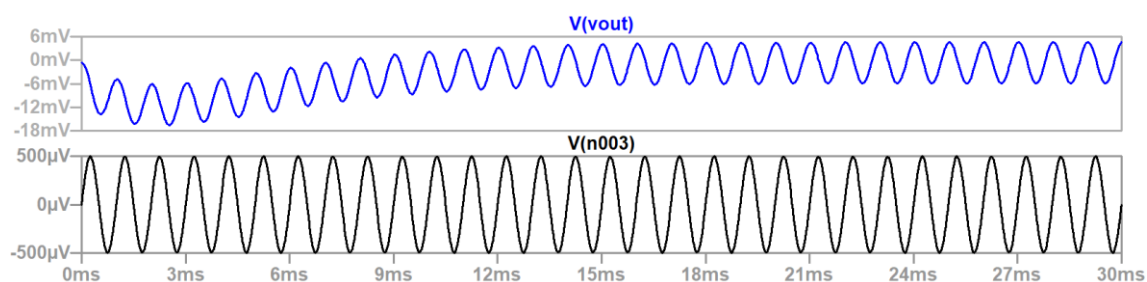
図 4. 1. 2 周波数特性シミュレーション結果

次に、トランジェント特性について解説する。ここでは図 4. 1. 1 中の V_{out} の出力波形を観測しており、その結果を図 4. 1. 3 に示す。ここで、上段が出力波形 V_{out} 、下段が入力波形 $V_{in}=1\text{mVp-p}$ の正弦波になっている。 V_{out} は入力電圧 1mVp-p が 1,000 倍に増幅された値となるため、理想的には $1\text{mVp-p} \times 1,000 = 1,000\text{mVp-p}$ となるが、実際はこれよりも小さい値になる。図 4. 1. 3 (a) の C_1 、 C_2 とともに $0.1\mu\text{F}$ とした時では、図 4. 1. 2 (a) より入力周波数 1kHz のところで利得が 30dB 下がっていたので、 V_{out} は $1,000\text{mVp-p}$ の $1/30$ である、 30mVp-p となっている。

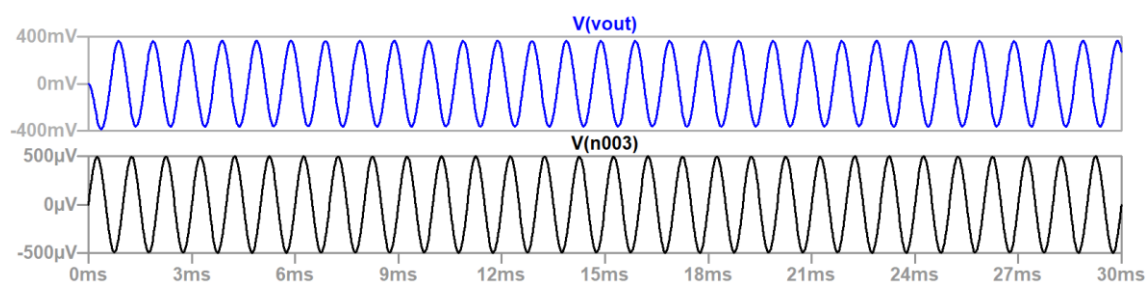
さらに、図 4. 1. 3 (b) の $C_1=0.1\mu\text{F}$ 、 $C_2=1\text{nF}$ とした時は 10mVp-p となったが、最適値の $C_1=1\text{nF}$ 、 $C_2=0.1\mu\text{F}$ とした図 4. 1. 3 (c) では、 700mVp-p となっており理想値の $1,000\text{mVp-p}$ に近い値となった。



(a) $C_1=0.1\mu\text{F}$ 、 $C_2=0.1\mu\text{F}$ の時



(b) $C_1=0.1\mu\text{F}$ 、 $C_2=1\text{nF}$ の時

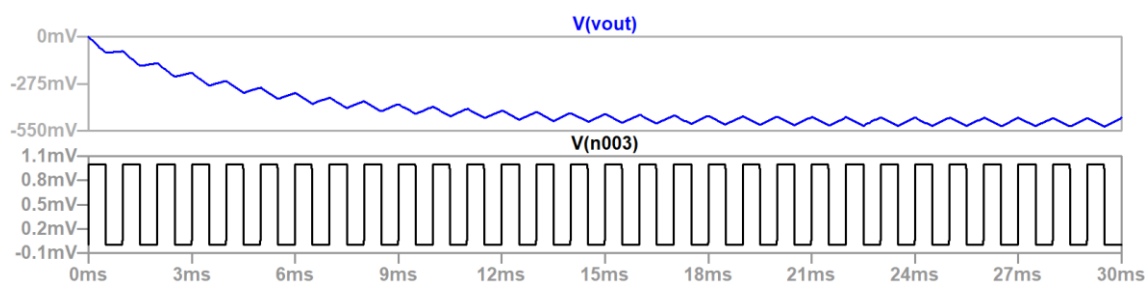


(c) $C_1=1\text{nF}$ 、 $C_2=0.1\mu\text{F}$ の時

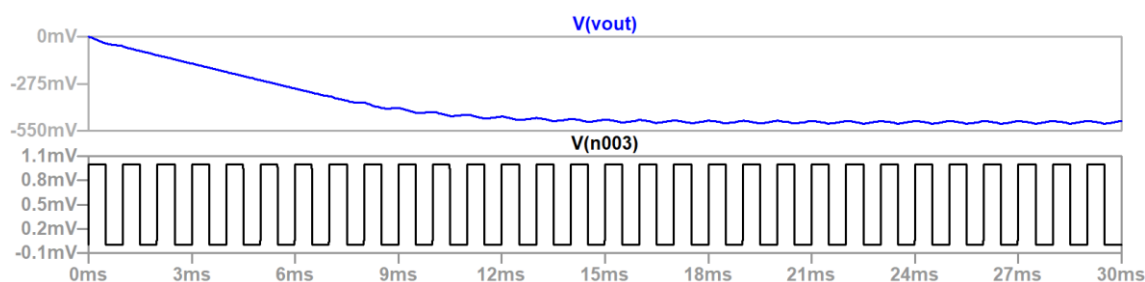
図 4. 1. 3 トランジェント特性シミュレーション結果（正弦波入力）

次に、入力波形を正弦波から方形波に変えて同様のトランジェント解析を行い、その結果を図 4. 1. 4 に示す。ここで、上段が出力波形 V_{out} 、下段が入力波形 $V_{in}=1\text{mVp-p}$ の方形波になっている。図 4. 1. 4 (a) の C_1 、 C_2 とともに $0.1\mu\text{F}$ とした時では、図 4. 1. 2 (a) より入力周波数 1kHz のところで利得が下がっていたので、正弦波の時と同様に V_{out} は 1,000 倍されず 50mVp-p となった。

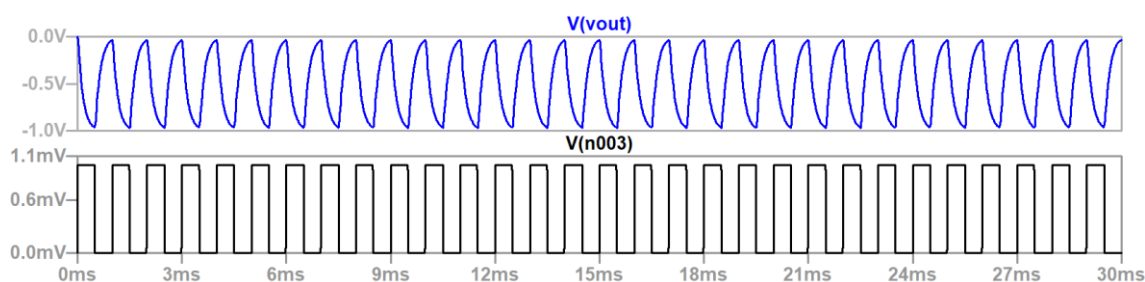
さらに、図 4. 1. 4 (b) の $C_1=0.1\mu\text{F}$ 、 $C_2=1\text{nF}$ とした時は 17mVp-p となったが、最適値の $C_1=1\text{nF}$ 、 $C_2=0.1\mu\text{F}$ とした図 4. 1. 4 (c) では、 950mVp-p となっており理想値の $1,000\text{mVp-p}$ に近い値となった。よって、正弦波の時と同様、方形波でも $C_1=1\text{nF}$ 、 $C_2=0.1\mu\text{F}$ の最適値で、出力波形が 1,000 倍になることが確認できた。



(a) $C_1=0.1\mu\text{F}$ 、 $C_2=0.1\mu\text{F}$ の時



(b) $C_1=0.1\mu\text{F}$ 、 $C_2=1\text{nF}$ の時



(c) $C_1=1\text{nF}$ 、 $C_2=0.1\mu\text{F}$ の時

図 4. 1. 4 トランジェント特性シミュレーション結果（方形波入力）

4-2 オフセット電圧

理想的にはオペアンプの出力電圧がゼロの時は、入力の＋端子側と－端子側の電圧が等しくなるが、実際にはわずかなずれが生じる。この＋端子間の微小な電圧の差を入力オフセット電圧と呼び、これを測定する回路を図 4. 2. 1 に示す。ここでは、DUT

(AD8571) のオフセット電圧を $1\mu\text{V}$ と仮定し、 $1\mu\text{Vp-p}$ の 1Hz の方形波をオペアンプ AD8571 の＋端子側に入力することで、等価的に $1\mu\text{V}$ の DC オフセット電圧を印加している。この微小なオフセット電圧 $1\mu\text{V}$ を直接測定するのは困難だが、図 4. 2. 1 中の V_{out} にオフセット電圧が 1,000 倍されて出力されるため、この V_{out} を 1/1,000 倍することでオフセット電圧が得られる。図 4. 2. 2 は V_{out} のシミュレーション結果を示しており、 1mVp-p レベルの出力が生成されるため、＋端子間の微小誤差が 1,000 倍されて出力していることが分かる。これにより、直接測定が難しい微小電圧が 1,000 倍されて電圧が大きくな

るため、簡単にオフセット電圧が測定できるようになる。

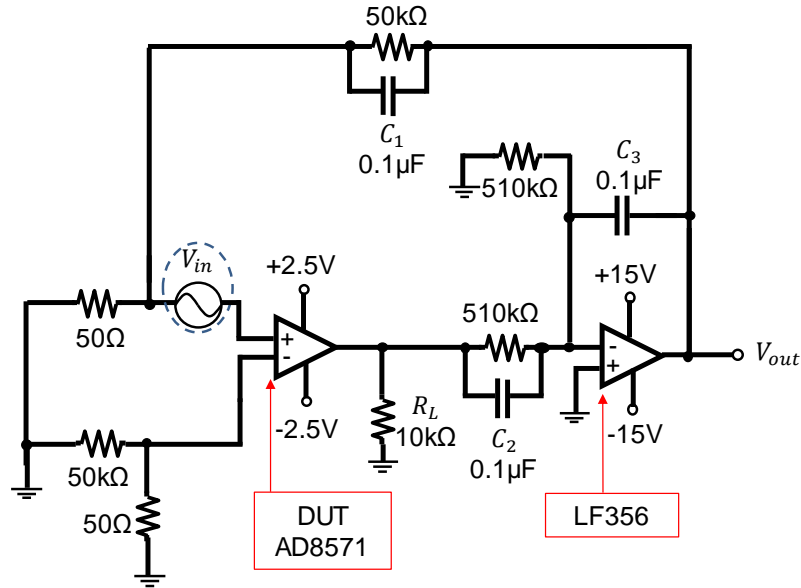


図 4. 2. 1 オフセット電圧測定回路

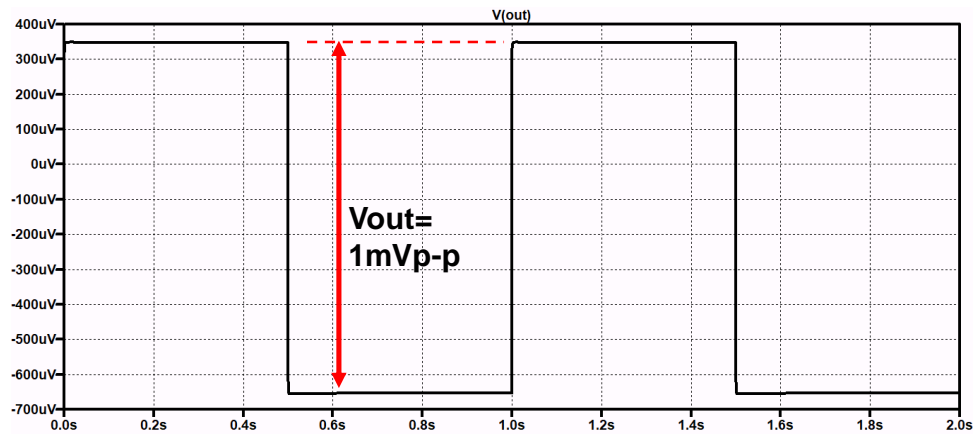


図 4. 2. 2 オフセット電圧測定結果

次に、図 4. 2. 1 の回路の伝達関数を求め、利得が 1,000 になっていることを計算で確認する。電流 I_1 と I_2 を図 4. 2. 3 のように設定すると、オームの法則より、

$$I_1 = \frac{V_{in}}{R_1} \quad (4. 2. 1)$$

$$I_2 = \left(\frac{1}{R_2} + \frac{1}{1/j\omega C_1} \right) (V_{in} - V_{out}) = \frac{1 + j\omega C_1 R_2}{R_2} (V_{in} - V_{out}) \quad (4. 2. 2)$$

となる。さらに電流 I_1 と I_2 の流れる向きは反対で大きさは等しいため、

$$I_1 = -I_2 \quad (4.2.3)$$

が成り立つ。よって、式(4.2.1)と式(4.2.2)を式(4.2.3)に代入し、利得を求めると、

$$\left| \frac{V_{out}}{V_{in}} \right| = \frac{R_2}{\sqrt{R_1^2 + (\omega C_1 R_1 R_2)^2}} + 1 \quad (4.2.4)$$

となる。 $R_1=50\Omega$ 、 $R_2=50k\Omega$ 、 $C_1=0.1\mu F$ 、 $f=1Hz$ 、 $\omega=2\pi$ を代入すると、

$$\left| \frac{V_{out}}{V_{in}} \right| = 1,000.5068 \dots \cong 1,000 \quad (4.2.5)$$

となり、確かに 1,000 倍されていることが分かる。

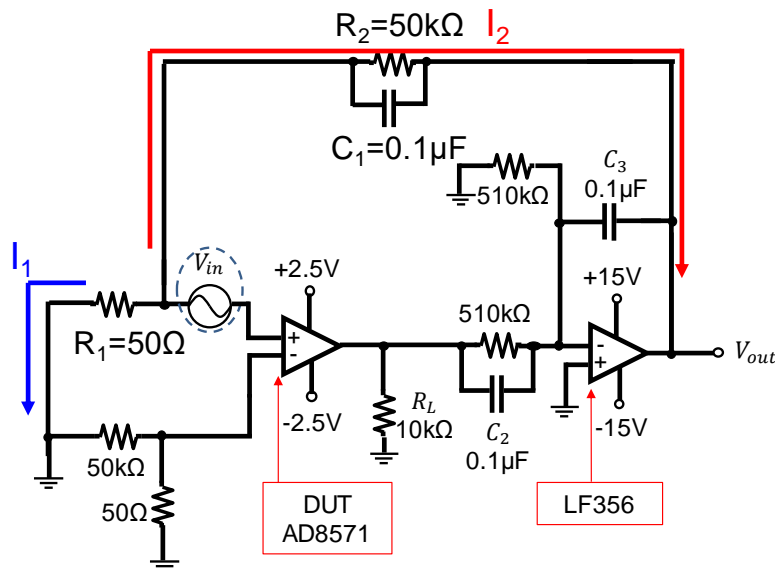


図 4.2.3 オフセット電圧測定回路の電流の流れ

4-3 オープンループ利得 (A_{OL})

オープンループ利得 (A_{OL}) の測定回路は図 4.3.1 のようになっており、積分器として使用したオペアンプ LF356 の一端子側に $1V_{p-p}$ 、 $1Hz$ の方形波を入力し、 V_{out} の peak-to-peak を測定することで求められる。負荷抵抗 R_L を $2k\Omega$ 、 $10k\Omega$ 、 $100k\Omega$ と変化させた時のオープンループ利得特性のシミュレーション結果を表 4.3.1 に示す。なお、オープンループ利得は次式で定義される。

$$A_{OL} = 20 \log \left(1000 \times \frac{1V}{V_{outp-p}} \right) dB \quad (4.3.1)$$

表 4. 3. 1 から、オープンループ利得は負荷抵抗 R_L の値が大きく関係し、負荷抵抗が大きいほど高くなることが分かった。ここで、シミュレーション結果の確認のため No.1~No.5 の 5 つの AD8571 のサンプルを使用した実測も行い、 $R_L=10\text{k}\Omega$ の時のオープンループ利得を測定した。図 4. 3. 2 はサンプル毎の実験結果を示しており、 $R_L=10\text{k}\Omega$ の時のシミュレーション結果は表 4. 3. 1 より 136dB であるため、図 4. 3. 2 の実験結果はほぼシミュレーションと一致していることが確認できる。

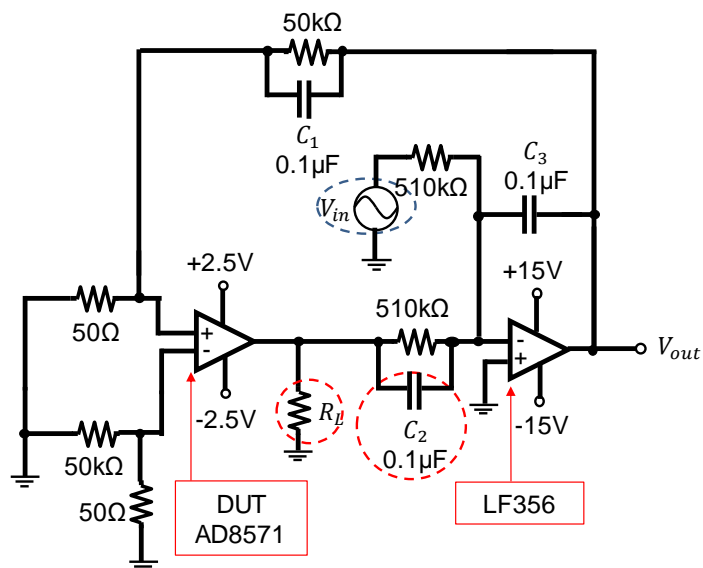


図 4. 3. 1 オープンループ利得測定回路

表 4. 3. 1. オープンループ利得シミュレーション結果

R_L [k Ω]	A_{OL} [dB]
2	122
10	136
100	154

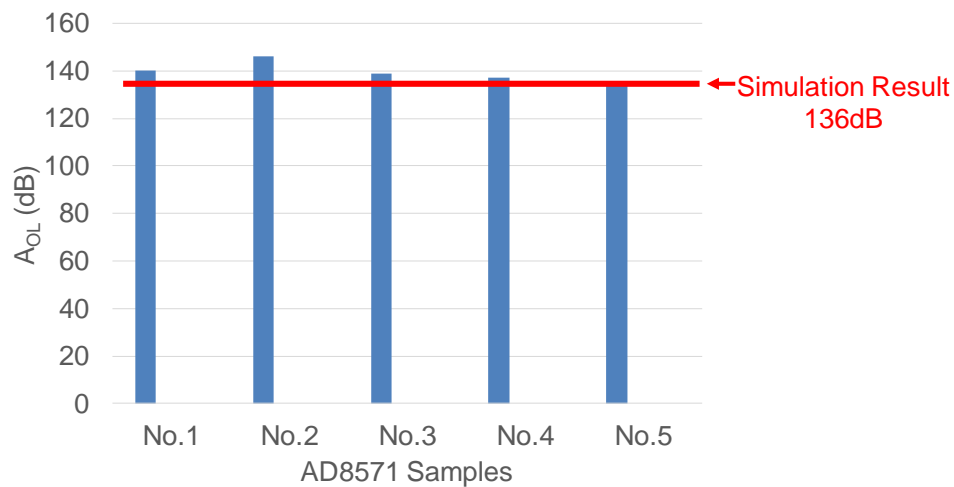
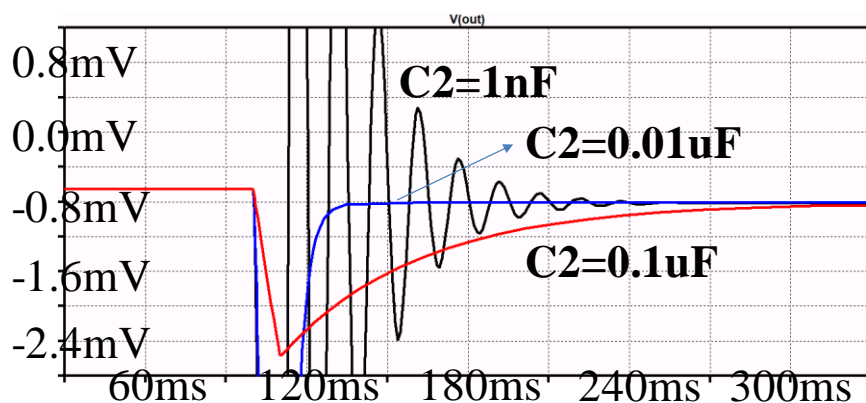
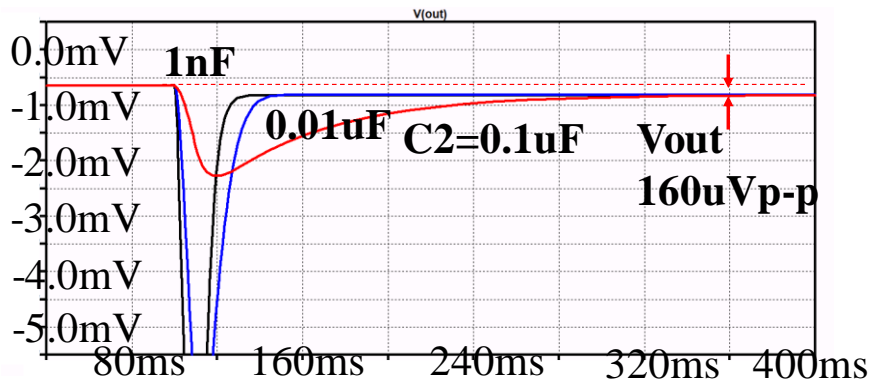


図 4. 3. 2 $R_L=10k\Omega$ の時のオープンループ利得実験結果

次に、 $R_L=10k\Omega$ とし、 C_1 と C_2 を可変した時の過渡応答シミュレーション結果を図 4. 3. 3 に示す。図(a)は $C_1=1nF$ として C_2 を可変した時のシミュレーション結果で、 $C_2=1nF$ では不安定だが、 $C_2=0.01\mu F$ と $C_2=0.1\mu F$ の場合は安定していることが分かる。さらに、 $C_2=0.01\mu F$ と $C_2=0.1\mu F$ の時の結果を比較すると、定常状態になるまでのセトリング時間は $C_2=0.1\mu F$ では 200ms 近くかかっているが、 $C_2=0.01\mu F$ では約 30ms となっている。定常状態になって初めて V_{outp-p} が測定できるので、このセトリング時間が短いほどオープンループ利得の測定時間も短縮できることから、 $C_2=0.01\mu F$ の時の方が短時間で測定できると言える。また、図(b)の $C_1=0.1\mu F$ として C_2 を可変した時では $C_2=1nF$ でも不安定にならないことから、 C_1 と C_2 の値によって安定性も変わることが分かった。これらの結果から、安定していてセトリング時間が最短の位相補償容量は $C_1=1nF$ 、 $C_2=0.01\mu F$ の時で、 C_1 と C_2 の値を適切に選択するだけで、最大 200ms 近くあった測定時間を約 30ms と 10 分の 1 程度にまで短縮できる可能性があることが明らかになった。



(a) $C_1=1nF$ 、 C_2 =可変



(b) $C_1=0.1\mu\text{F}$ 、 $C_2=\text{可変}$

図 4. 3. 3 C_1 、 C_2 を変化させた時の過渡応答シミュレーション結果

4-4 同相信号除去特性 (CMRR)

同相信号除去特性 (CMRR : Common-Mode Rejection Ratio) は、本来はオペアンプ入力の同相電圧を変化させることで求められるが、Null 法では DUT (AD8571) の電源電圧 V_P と V_N を変化させることで等価的に測定する。測定回路は図 4. 4. 1 のようになっており、同相入力 1V 変化に対する出力変化を測定するために、 V_P を +2.5V から +3.0V に、 V_N を -2.5V から -2.0V にそれぞれシフトさせる ($V_P - V_N$ 間の電源電圧は 5V 一定)。ただし、図 4. 4. 1 中の 50Ω の抵抗 2 つと $50k\Omega$ の抵抗 2 つの計 4 つは、抵抗誤差ゼロと仮定している。

ここでも 4-3 のオープンループ利得の時と同様に負荷抵抗 R_L を変動させてシミュレーションを行う。CMRR の定義式はオープンループ利得と同じであるため、測定した V_{outp-p} を式(4. 3. 1)に代入して CMRR を求め、この時の結果を表 4. 4. 1 に示す。このシミュレーション結果から CMRR はオープンループ特性とは異なり、負荷抵抗 R_L の影響を受けないことが分かる。これは Null 回路では負帰還が働いている時に、積分器入力 $E_k=0V$ とすると DUT 出力は 0V に固定されるので、 R_L 値による出力電流の変化がないためと推測される。ここでも、シミュレーション結果の確認のため No.1~No.5 の 5 つの AD8571 のサンプルを使用した実測を行い、 $R_L=10k\Omega$ の時の CMRR を測定した。図 4. 4. 2 はサンプル毎の実験結果を示しており、表 4. 4. 1 のシミュレーション結果より CMRR はどの R_L においても 126dB であるため、図 4. 4. 2 の実験結果はほぼシミュレーションと一致していることが確認できた。

次に、図 4. 4. 3 に $R_L=10k\Omega$ 、 $C_1=1nF$ の場合に C_2 を $0.1\mu\text{F}$ 、 $0.01\mu\text{F}$ 、 $1nF$ と変化させた時の出力電圧のシミュレーション結果を示す。これより、CMRR は C_2 が小さい時は不安定で、 C_2 が大きいほど高速応答を示していることが確認できる。

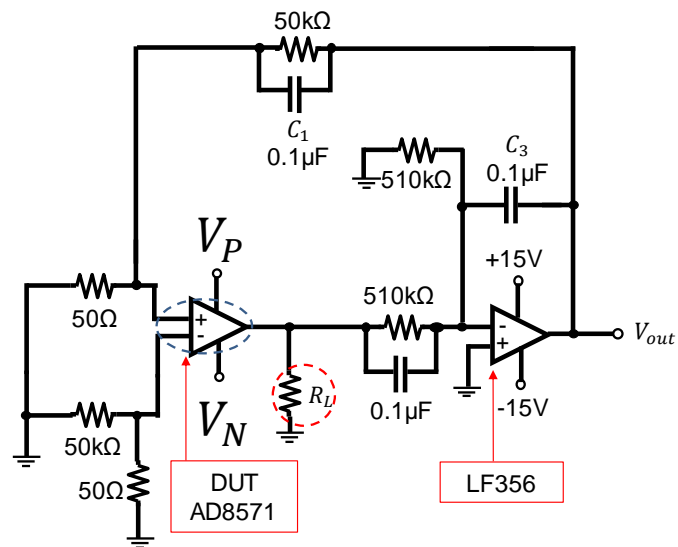


図 4. 4. 1 CMRR 測定回路

表 4. 4. 1. CMRR シミュレーション結果

R_L [k Ω]	CMRR [dB]
2	126
10	126
100	126

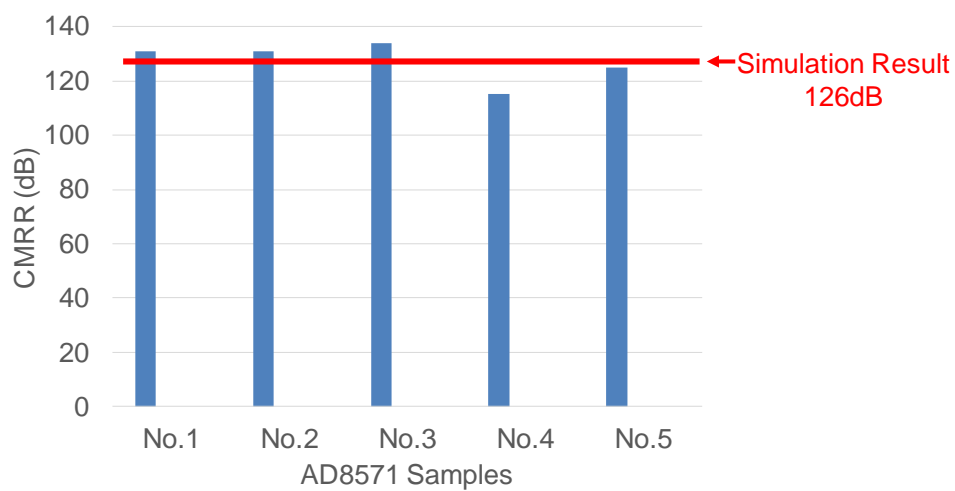


図 4. 4. 2 $R_L=10\text{k}\Omega$ の時の CMRR 実験結果

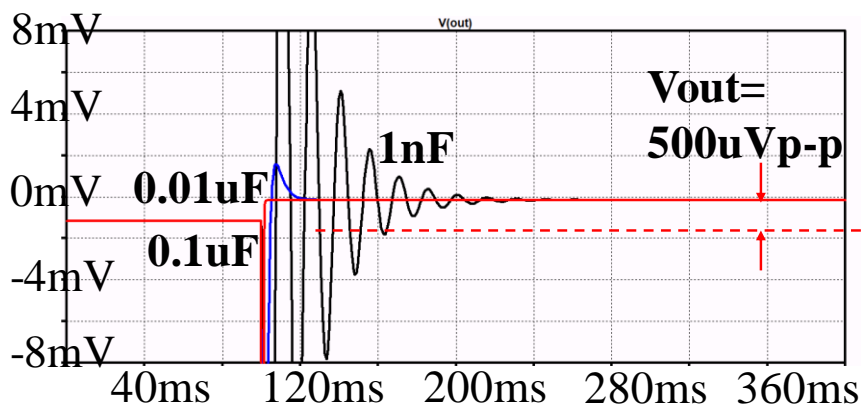


図 4. 4. 3 C_2 を変化させた時の CMRR シミュレーション結果

4-5 電源除去特性 (PSRR)

電源除去特性 (PSRR : Power Supply Rejection Ratio) は、CMRR と同様の測定回路図 4. 4. 1 で求めることができる。しかし、 V_P と V_N の供給電圧が異なり、 $V_P - V_N$ 間の電源電圧が 1V 変化した時の出力電圧変動を観測することで求まる。ここでは、 V_P を +2.0V から +2.5V に、 V_N を -2.0V から -2.5V にそれぞれシフトし、電源電圧を 4V から 5V に変化させている。

この場合も 4-3 のオープンループ利得や 4-4 の CMRR と同様に、負荷抵抗 R_L を変化させた時の PSRR を表 4. 5. 1 に示す。なお、PSRR の定義式もオープンループ利得や CMRR と同じ式(4. 3. 1)である。シミュレーション結果から、PSRR も負荷抵抗 R_L の影響を受けないことが分かる。これは CMRR の時と同様、Null 回路での負帰還の影響によるものと推測される。ここでも、シミュレーション結果の確認のため No.1~No.5 の 5 つの AD8571 のサンプルを使用した実測を行い、 $R_L = 10k\Omega$ の時の PSRR を測定した。図 4. 5. 1 はサンプル毎の実験結果を示しており、表 4. 5. 1 のシミュレーション結果より PSRR はどの R_L においても 120dB であるため、図 4. 5. 1 の実験結果はほぼシミュレーションと一致していることが確認できた。

次に、図 4. 5. 2 に $R_L = 10k\Omega$ 、 $C_1 = 1nF$ として、 C_2 を 0.1 μF 、0.01 μF 、1nF と変化させた時の出力電圧のシミュレーション結果を示す。これより、PSRR も CMRR と同様、 C_2 が小さい時は不安定で、 C_2 が大きいほど高速応答を示していることが確認できる。

表 4. 5. 1. PSRR シミュレーション結果

R_L [k Ω]	PSRR [dB]
2	120
10	120
100	120

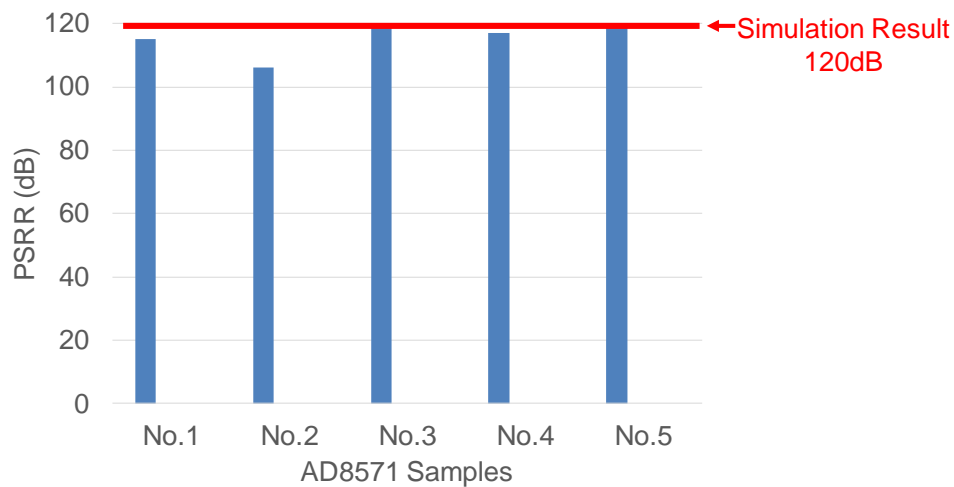


図 4. 5. 1 $R_L=10k\Omega$ の時の PSRR 実験結果

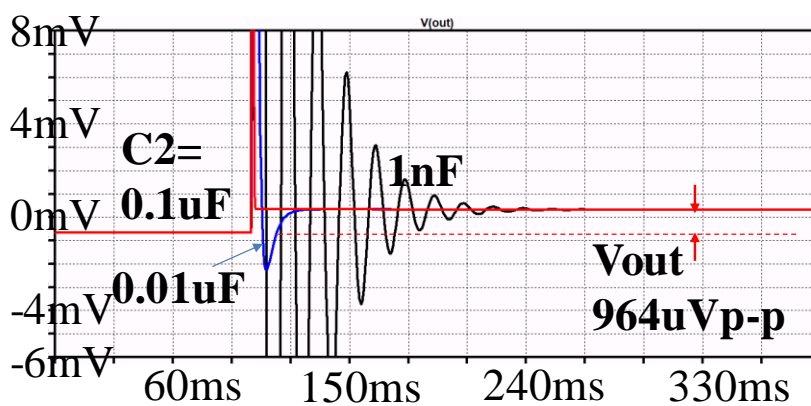


図 4. 5. 2 C_2 を変化させた時の PSRR シミュレーション結果

第 5 章 AC 特性測定実験

この章では、オープンループ利得、CMRR、PSRR の AC 特性について、実際の回路基板を使用して実験検証を行った。

5-1 オープンループ利得 (A_{OL})

この節では、図 5. 1. 1 の回路を使用してオープンループ利得の AC 特性を測定する。この回路は、ADI 社の Application Note 回路の定数を一部変更したものとなっている。回路図左上の ACin に入力電圧 $1V_{p-p}$ を印加し、その下の容量 C_1 により直流成分をカットしている。容量のインピーダンスは $Z=1/(j\omega C)$ なので、10Hz などの低周波数ではインピーダンスが大きくなり、直流成分がカットされる仕組みになっている。なお、元の回路では C_1

は 1nF であったが、本実験では 0.1μF に変更している。さらに、図の青い点線で囲った部分のアッテネータにより ACin で入力した 1Vp-p が減衰されて、

$$v_{in} = \frac{100}{1M + 100} AC_{in} \cong \frac{1}{10,000} AC_{in} = 100\mu V_{p-p} \quad (5.1.1)$$

となり DUT (AD8571) に入力される。出力は回路図右上の Vout をオシロスコープで測定することで得られ、この時 read out 機能を使用して時間波形の peak-to-peak 値を読み取っている。この回路は DC 的には Null 回路を介して負帰還がかかっているが、AC 的には vin-Vout 間はオープンループになっているので、オープンループ利得の AC 特性が測定できる。

また、回路中央部の容量を外しているが、これは容量が並列に接続されていると高周波数でインピーダンスが大きくなり、利得が落ちてしまうのを避けるためである。

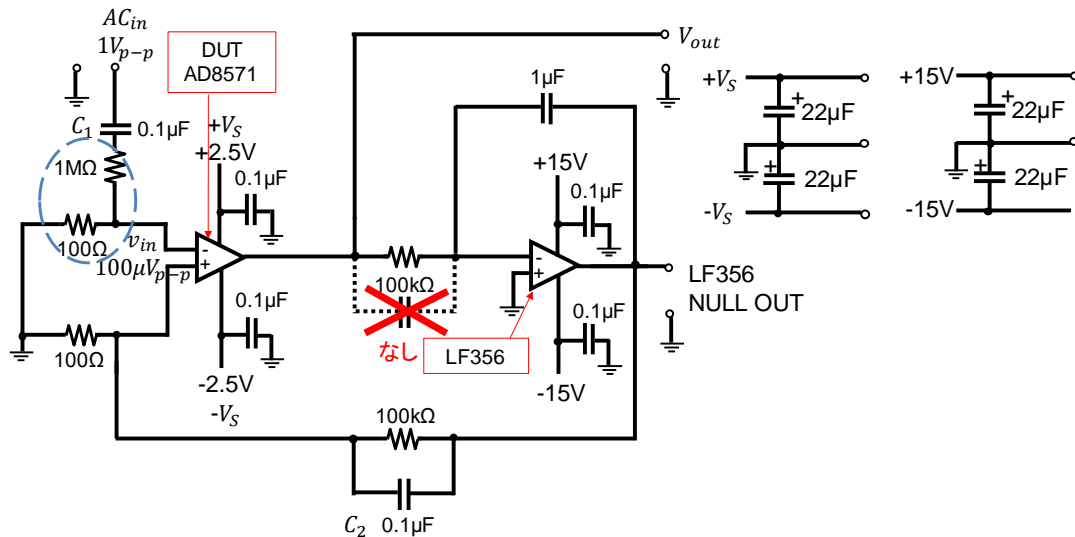


図 5.1.1 オープンループ利得の AC 特性測定回路

ここでは、DUT に ADI 製の CMOS オペアンプ AD8571 Auto-Zero を使用し、2つのサンプル No.1 と No.4 の実測を行った。オープンループ利得の AC 特性測定回路基板を図 5.1.2 に、その測定風景を図 5.1.3 に示す。2 サンプルの Vout を測定し、以下の式に代入することでオープンループ利得 AC 特性を導出した。なお、入力電圧は上記にもあるように $v_{in(ac)}=100\mu V_{p-p}$ としている。

$$A_{OL} = 20 \log \left(\frac{V_{out(ac)}}{v_{in(ac)}} \right) dB \quad (5.1.2)$$

この時のサンプル毎の Vout の測定結果とオープンループ利得の計算結果を表 5.1.1 に示す。

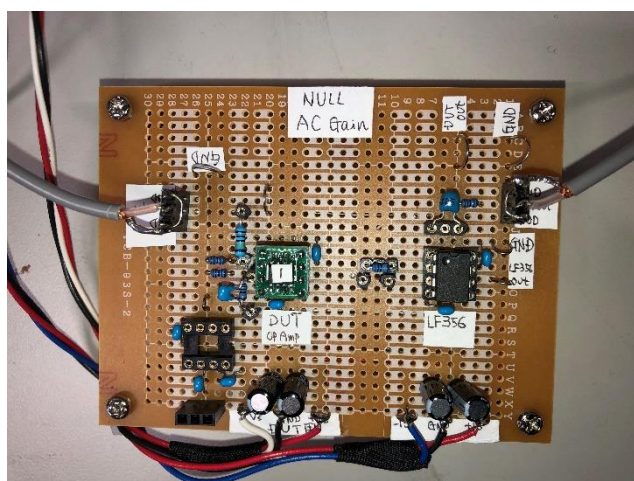


図 5.1.2 オープンループ利得の AC 特性測定回路基板

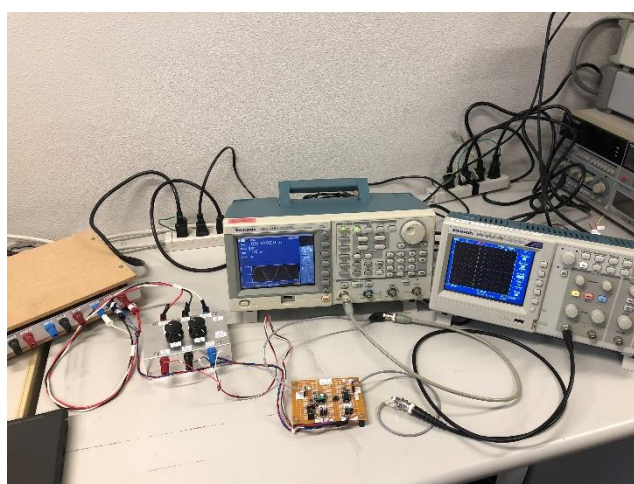


図 5.1.3 オープンループ利得の AC 特性測定風景

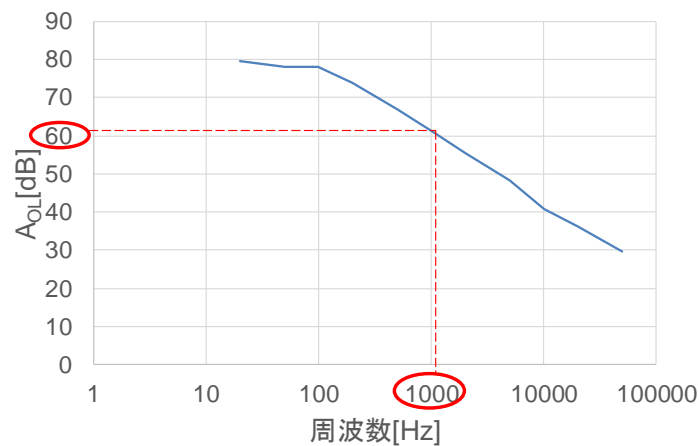
表 5.1.1. オープンループ利得の AC 特性測定結果

	No.1		No.4	
周波数 (Hz)	Vout (mVp-p)	AoL(dB)	Vout (mVp-p)	AoL(dB)
20	960	79.6		
50	790	78.0		
100	800	78.1	808	78.1
200	504	74.0	520	74.3
500	222	66.9	230	67.3
1k	115	61.2	120	61.6
2k	59	55.4	61	55.7

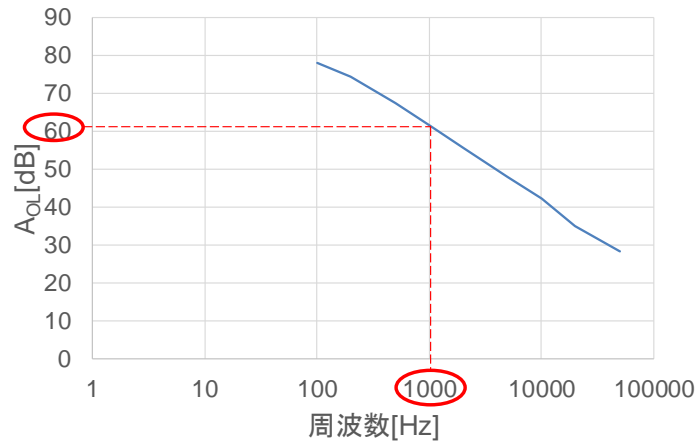
5k	26	48.3	25	48.0
10k	11	40.8	13	42.3
20k	6.6	36.4	5.7	35.1
50k	3.1	29.8	2.6	28.3

表 5. 1. 1 の結果より、1kHz の時のオープンループ利得は No.1 のオペアンプでは 61.2dB、No.4 では 61.6dB になっており、これはほぼスペック値の 60dB と同じ大きさになっている。また、10kHz、20kHz、50kHz の時は V_{out} が数 mV オーダーの小さい値になるため、 $N=128$ として Time AVG 機能を使用して測定している。

オープンループ利得の AC 特性は図 5. 1. 4 のようになる。低周波ではグラフが頭打ちになっていて、スペックより利得が低くなっているが、これは低周波になるほど Null 負帰還の影響が働くことと、低域での C_1 のインピーダンス上昇が原因と考える。また、高周波でもやや測定誤差があるが、これは V_{out} が低くなるため、オシロスコープの AVG 機能を使用しても限界があるためと考える。



(a) サンプル No.1



(b) サンプル No.4

図 5.1.4 オープンループ利得の AC 特性測定結果

5-2 同相信号除去特性 (CMRR)

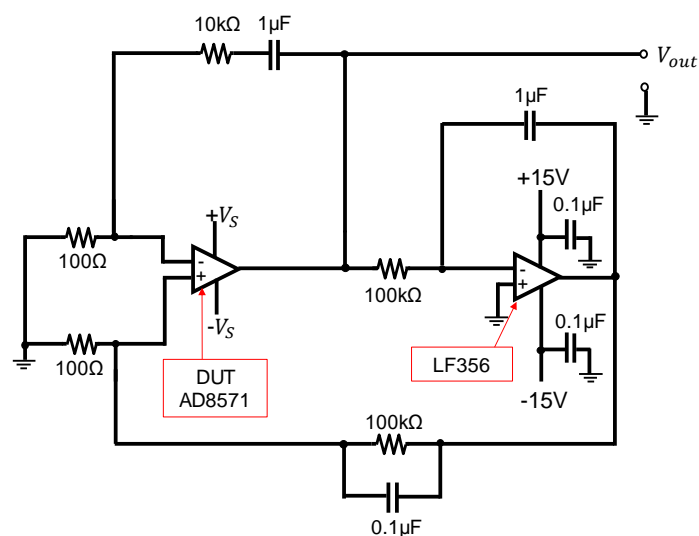
この節では、図 5.2.1 の回路を使用して CMRR の AC 特性を測定する。CMRR は DUT の電源電圧+V_s と -V_s に同相の AC 信号 (1V_{p-p}) を重畳することで得られ、図(b) にその電源電圧生成回路を示す。この時 AC 利得は、DUT の入力側に 100Ω、出力側に 10kΩ があることから、

$$G_{CMRR} = 20 \log \frac{10k}{100} = 40dB \quad (5.2.1)$$

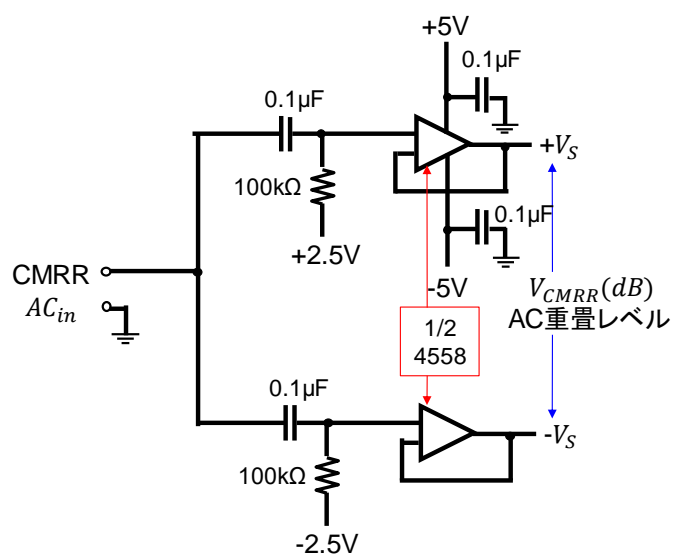
となるので、CMRR の式は

$$\begin{aligned} CMRR(dB) &= V_{CMRR}(dB) - V_{out}(dB) + G_{CMRR}(dB) \\ &= V_{CMRR}(dB) - V_{out}(dB) + 40(dB) \end{aligned} \quad (5.2.2)$$

となる。ここで、V_{CMRR} は図(b)の CMRR AC 重畳レベル、V_{out} は DUT 出力レベルである。この V_{out} は測定レベルが非常に低いため、オシロスコープの FFT 解析機能を使用して測定した。



(a) 全体の回路図



(b) DUT の電源電圧 $+V_S$ 、 $-V_S$ 生成回路

図 5. 2. 1 CMRR の AC 特性測定回路

ここでも DUT の CMOS オペアンプ AD8571 Auto-Zero に、ADI 製の 2 サンプル No.1 と No.4 を使用して実験を行った。CMRR の AC 特性測定回路基板を図 5. 2. 2 に、その測定風景を図 5. 2. 3 に示し、2 サンプルの CMRR の測定結果を表 5. 2. 1 に示す。

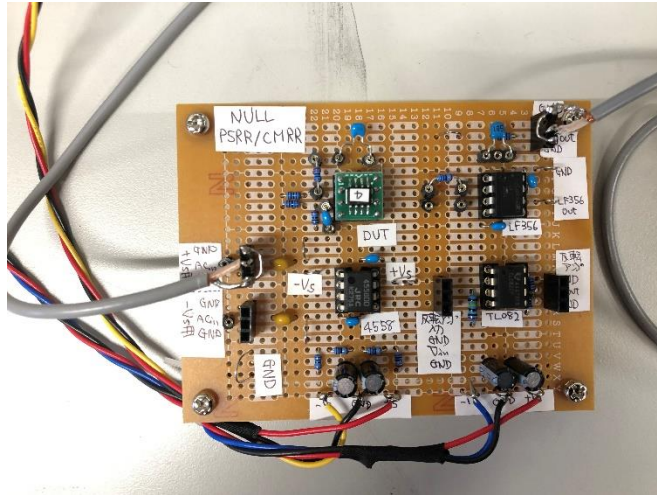


図 5. 2. 2 CMRR の AC 特性測定回路基板

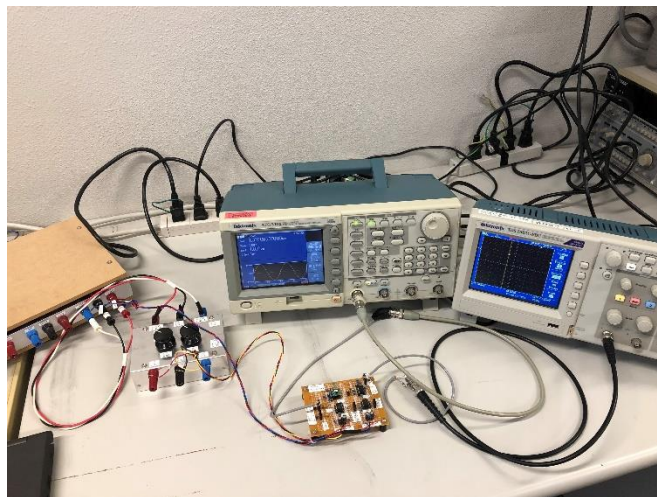


図 5. 2. 3 CMRR の AC 特性測定風景

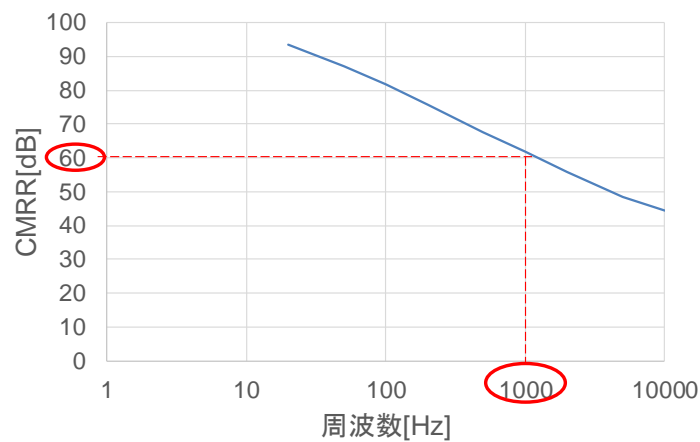
表 5. 2. 1. CMRR の AC 特性測定結果

	No.1	No.4
周波数(Hz)	CMRR(dB)	CMRR(dB)
20	93.6	93.6
50	87.2	87.2
100	81.6	81.2
200	75.6	75.6
500	67.6	67.6
1k	61.9	61.9

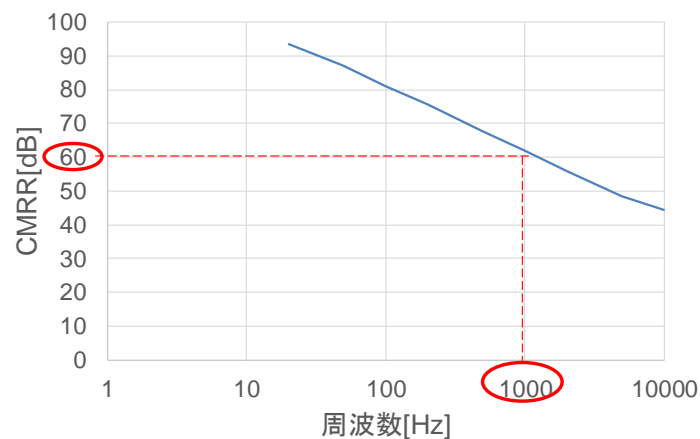
2k	56	56
5k	48.4	48.4
10k	44.4	44.4

表 5.2.1 の結果より、1kHz の時の CMRR は No.1、No.4 共に 61.9dB になっており、これはほぼスペック値と同じ大きさになっている。

CMRR の AC 特性のグラフは図 5.2.4 のようになり、2 つのサンプルの CMRR AC 特性は極めて近似していることが確認できる。



(a) サンプル No.1



(b) サンプル No.4

図 5.2.4 CMRR の AC 特性測定結果

5-3 電源除去特性 (PSRR)

この節では、図 5.3.1 の回路を使用して PSRR の AC 特性を測定する。図(a)の全体の

回路図は CMRR と同様だが、DUT に印加する電源電圧が異なり図(b)のようになる。

PSRR は DUT の電源変動分が出力に与える変化であり、オペアンプの各電源 $+V_s$ と $-V_s$ に AC 信号を重畳することで得られる。ここで、 $+V_s$ と $-V_s$ の PSRR 特性が大きく異なったため測定方法を変更し、 $+V_s$ に $1V_{p-p}$ を、 $-V_s$ に $0.1V_{p-p}$ を印加している。

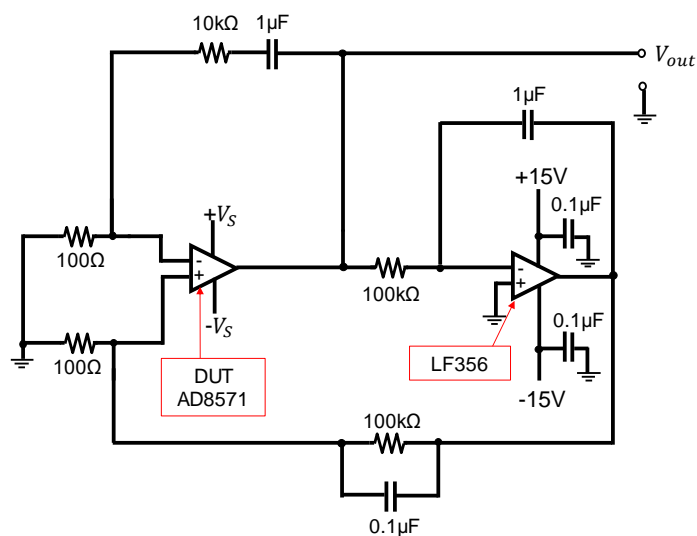
この時 AC 利得は、CMRR と同様、

$$G_{PSRR} = 20 \log \frac{10k}{100} = 40dB \quad (5.3.1)$$

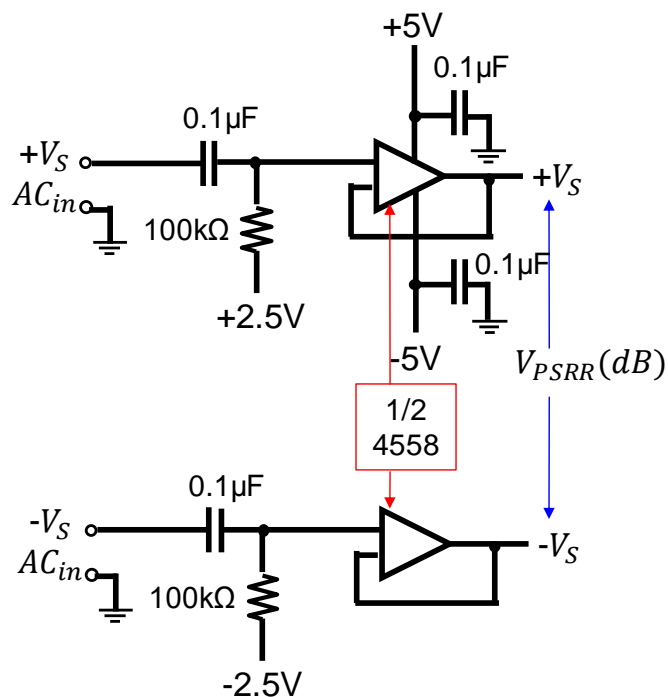
となるので、PSRR の式は

$$\begin{aligned} PSRR(dB) &= V_{PSRR}(dB) - V_{out}(dB) + G_{PSRR}(dB) \\ &= V_{PSRR}(dB) - V_{out}(dB) + 40(dB) \end{aligned} \quad (5.3.2)$$

となる。ここで、 V_{PSRR} は図(b)の PSRR AC 重畳レベル、 V_{out} は DUT 出力レベルである。この場合も V_{out} の測定レベルが非常に低いため、オシロスコープの FFT 解析機能を使用した。



(a) 全体の回路図



(b) DUT の電源電圧 $+V_S$ 、 $-V_S$ 生成回路

図 5. 3. 1 PSRR の AC 特性測定回路

ここでも DUT の CMOS オペアンプ AD8571 Auto-Zero に、ADI 製の 2 サンプル No.1 と No.4 を使用して実験を行った。なお、PSRR の AC 特性測定回路基板は CMRR の図 5. 2. 2 と同様である。表 5. 3. 1 に 2 サンプルの PSRR の測定結果を示す。

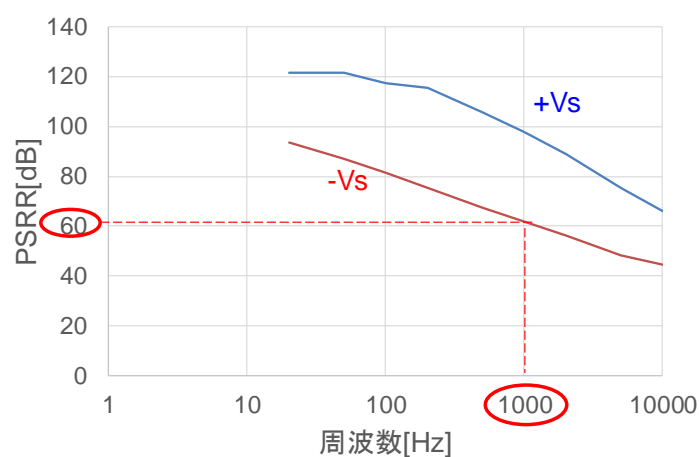
表 5. 3. 1. PSRR の AC 特性測定結果

周波数(Hz)	No.1		No.4	
	$+V_S$ PSRR(dB)	$-V_S$ PSRR(dB)	$+V_S$ PSRR(dB)	$-V_S$ PSRR(dB)
20	121.6	93.6	119.2	94.4
50	121.6	87.2	110.4	86.0
100	117.2	81.2	106.8	80.8
200	115.6	75.2	101.2	75.2
500	105.6	67.2	93.2	67.2
1k	97.6	61.6	87.6	61.2
2k	88.8	56.0	81.6	55.6

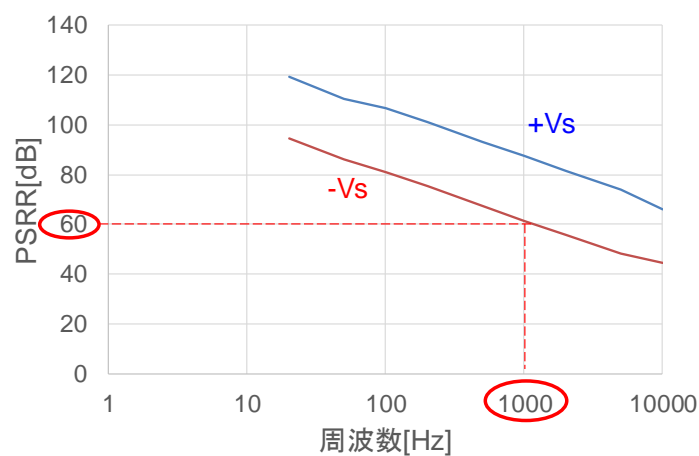
5k	75.2	48.4	74.0	48.4
10k	66.0	44.4	66.0	44.4

表 5.3.1 の結果より、 $-V_s$ に対する 1kHz の時の PSRR は No.1 では 61.6dB、No.4 では 61.2dB になっており、これはほぼスペック値と同じ大きさになっている。

PSRR の AC 特性のグラフは図 5.3.2 のようになり、 $+V_s$ と $-V_s$ の PSRR 特性が大きく異なっていることが分かる。



(a) サンプル No.1



(b) サンプル No.4

図 5.3.2 PSRR の AC 特性測定結果

第 6 章 まとめと今後の課題

6-1 まとめ

本論文では、オペアンプの様々なパラメータが正確かつ簡単に測定できる Null 回路について調査し、シミュレーションと実験での検証を行った。さらに Null 回路を最適動作（安定性を確保しつつ試験時間を短縮）させるためには、位相補償定数（ C_1 、 C_2 ）の最適化が重要であることを示した。一般的なオペアンプ回路では、信号入力部と出力部が固定されており、負帰還は入力と出力の最適化（安定性と高速性の両立）が図られる位相補償定数の設定が行われる。しかし「Null 回路」では、測定項目により信号印加の箇所が異なる。そのため信号入力部が変化すると、ある固定の位相補償定数のままでは各入力と出力の応答特性が異なることが確認できた。シミュレーションでは、固定の位相補償定数でどの測定項目（入力部が変化）でも安定化するには、系全体にかなり低い周波数で負帰還をかける必要があり、1 回測定条件を変える毎に 100ms 以上の待ち時間が必要だが、測定項目により位相補償定数を切り替えると、待ち時間が大幅に短縮できることが明らかになった。また、オープンループ利得、CMRR、PSRR の AC 特性についても実験検証を行い、Null 回路によりほぼスペック通りの値が測定できることを示した。

6-2 今後の課題

Null 法試験では高精度デジタル電圧計の測定時間が必要となる。一般的に高精度積分型のデジタル電圧計では 1 データ測定に数十 ms~百 ms が必要である。今後はこの測定時間も含めてテスト時間を短縮する方法について検討する。

また、本研究では AC 特性の実測を行ったので、今後の課題として LT spice シミュレーションによる検証も行い、Null 回路で AC 特性テストを高速化できる方法について検討する。

参考文献

- [1] J. M. Bryant, “Simple Op Amp Measurements”, Analog Dialogue, vol. 45, pp.21-23, 2011.
- [2] “Op Amp Applications Handbook”, Analog Devices, 2004.
- [3] K. Blake, “Op Amp Precision Design: PCB Layout Techniques”, Microchip Technology Inc., Tech. Rep. AN1258, 2009.
- [4] R. Dopkin, “Analog Circuit Design”, Linear Technology, 2013.
- [5] G. Robert, F. Taenzler, M. Burns, “An Introduction to Mixed-Signal IC Test & Measurement”, 2nd Edition, Oxford University Press, 2012.
- [6] 片山翔吾, 青木里穂, 佐々木優斗, 町田恒介, 中谷 隆之, 王建龍, 桑名杏奈, 畠山一実, 小林春夫, 佐藤賢央, 石田嵩, 岡本智之, 市川保, 「オペアンプ試験技術 Null法の実験評価」, 第9回群馬・栃木支所合同研究発表会, 小山高専, 2019年3月
- [7] 町田恒介, 佐々木優斗, 中谷隆之, 佐藤賢央, 石田嵩, 岡本智之, 市川保, 王建龍, 桑名杏奈, 畠山一実, 小林春夫, 「DC-AC変換による低レベルDC電圧測定技術」, 電気学会 電子回路研究会, 東京, 2018年12月
- [8] Y. Sasaki, K. Machida, R. Aoki, S. Katayama, T. Nakatani, J. Wang, K. Sato, T. Ishida, T. Okamoto, T. Ichikawa, A. Kuwana, K. Hatayama, H. Kobayashi, "Accurate and Fast Time Testing Technique of Operational Amplifier DC Offset Voltage in μV -order by DC-AC Conversion", IEEE 3rd International Test Conference in Asia, Tokyo, Sept. 2019.

論文全体のまとめと今後の課題

第1部では、スプリット容量を用いることで、従来法の容量比の問題を解決でき、同程度の分解能で出力できることも確認した。さらに、スプリット容量に生じる寄生容量の影響について検証し、寄生容量が左右にある場合の一般式をそれぞれ導出し、さらに一般式から寄生容量の値が計算できることを示した。その結果、どのコードでどの程度の非線形性が発生するかを事前に予測することが可能になった。また、スプリット容量や2進重み付け容量そのものにミスマッチがある場合についても検証し、さらにキャリブレーションの方法についても提案した。その結果、出力を線形に補正することができるようになり、これまで問題となっていた非線形性の問題を解決することが可能になった。

今後の課題としては、スプリット容量の寄生容量と容量間のミスマッチが同時に発生する場合について検討する。さらに、大規模の12bitのSAR ADCの回路でもスプリット容量のミスマッチ、寄生容量の影響で非線形性が発生するコードについて検証する。

第2部では、オペアンプの様々なパラメータが正確かつ簡単に測定できるNull回路について調査し、シミュレーションと実験での検証を行った。Null法は元々測定時間がかかることから、量産試験には使われなかったが、回路中の位相補償定数(C_1 、 C_2)の最適化により安定性を確保しつつ試験時間を大幅に短縮させることが可能になった。また、オープンループ利得、CMRR、PSRRのAC特性についても実験検証を行い、Null回路によりほぼスペック通りの値が測定できることを示した。

今後の課題としては、Null法試験では高精度デジタル電圧計の測定時間が必要となるため、この測定時間も含めてテスト時間を短縮する方法について検討する。

また、AC特性の実験結果についてLT spiceシミュレーションによる検証も行い、Null回路でAC特性テストを高速化できる方法について検討する。

外部発表リスト

(実際の発表者に下線)

- [1] Riho Aoki, Anna Kuwana and Haruo Kobayashi
"Charge Distribution SAR ADC Architecture with Split Capacitor and Its Testing"
5th International Symposium of Gunma University Medical Innovation and 9th
International Conference on Advanced Micro-Device Engineering (GUMI & AMDE
2018), Kiryu City Performing Art Center, Kiryu, Gunma, Japan (Dec. 6, 2018)
- [2] Yujie Zhao, Yuto Sasaki, Yuki Ozawa, **Riho Aoki**, Anna Kuwana and Haruo
Kobayashi
"ADC Histogram Test for Specific Codes"
5th International Symposium of Gunma University Medical Innovation and 9th
International Conference on Advanced Micro-Device Engineering (GUMI & AMDE
2018), Kiryu City Performing Art Center, Kiryu, Gunma, Japan (Dec. 6, 2018)
- [3] **青木里穂**, 片山翔吾, 佐々木優斗, 町田恒介, 中谷隆之, 王建龍, 桑名杏奈, 畠山一実,
小林春夫, 佐藤賢央, 石田嵩, 岡本智之, 市川保
「オペアンプ試験技術Null法のシミュレーション評価」
平成30年度 第9回 電気学会東京支部栃木・群馬支所 合同研究発表会, 小山高専
(2019年3月4日, 5日)
- [4] 片山翔吾, **青木里穂**, 佐々木優斗, 町田恒介, 中谷隆之, 王建龍, 桑名杏奈, 畠山一実,
小林春夫, 佐藤賢央, 石田嵩, 岡本智之, 市川保
「オペアンプ試験技術Null法の実験評価」
平成30年度 第9回 電気学会東京支部栃木・群馬支所 合同研究発表会, 小山高専
(2019年3月4日, 5日)
- [5] Riho Aoki, Shogo Katayama, Yuto Sasaki, Kosuke Machida, Takayuki Nakatani,
Jianlong Wang, Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi, Keno Sato,
Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa
"Simulation Evaluation of Null Method for Operational Amplifier Testing"
3rd International Conference on Technology and Social Science (ICTSS2019),
Kiryu City Performing Art Center, Kiryu, Gunma, Japan (May 8-10, 2019)
- [6] Shogo Katayama, **Riho Aoki**, Yuto Sasaki, Kosuke Machida, Takayuki Nakatani,
Jianlong Wang, Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi, Keno Sato,
Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa
"Experimental Evaluation of Null Method and DC-AC Conversion for Operational
Amplifier Testing"
3rd International Conference on Technology and Social Science (ICTSS2019),

- Kiryu City Performing Art Center, Kiryu, Gunma, Japan (May 8-10, 2019)
- [7] **Riho Aoki**, Shogo Katayama, Yuto Sasaki, Kosuke Machida, Takayuki Nakatani, Jianlong Wang, Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi (Gunma Univ.), Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa (ROHM Semiconductor Co., Ltd.)
"Accurate and Fast Testing of Operational Amplifier with NULL Method"
5th Taiwan and Japan Conference on Circuits and Systems (TJCAS 2019 at Nikko), Nikko, Tochigi, Japan (August 19-21, 2019)
- [8] **Yuto Sasaki**, Kosuke Machida, **Riho Aoki**, Shogo Katayama, Takayuki Nakatani, Jianlong Wang (Gunma Univ.), Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa (ROHM Semiconductor), Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi (Gunma Univ.)
"Very Low Level DC Voltage Measurement Technique by DC-AC Conversion"
5th Taiwan and Japan Conference on Circuits and Systems (TJCAS 2019 at Nikko), Nikko, Tochigi, Japan (August 19-21, 2019)
- [9] **Yuto Sasaki**, Kosuke Machida, **Riho Aoki**, Shogo Katayama, Takayuki Nakatani, Jianlong Wang, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Anna Kuwana, Kazumi Hatayama and Haruo Kobayashi
"Accurate and Fast Testing Technique of Operational Amplifier DC Offset Voltage in μV -order by DC-AC Conversion"
3rd International Test Conference in Asia, Tokyo (Sept. 2019)
- [10] **Riho Aoki**, Shogo Katayama, Yuto Sasaki, Kosuke Machida, Takayuki Nakatani, Jianlong Wang, Anna Kuwana, Kazumi Hatayama, Haruo Kobayashi, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa
"Evaluation of Null Method for Operational Amplifier Short-Time Testing"
2019 13th IEEE International Conference on ASIC (ASICON 2019), Chongqing, China (Oct. 29-Nov. 1, 2019)
- [11] 荻原岳, 片山翔吾, **青木里穂**, 中谷隆之, 佐藤賢央, 石田嵩, 岡本智之, 市川保, 王建龍, 桑名杏奈, 畠山一実, 小林春夫
「オペアンプAC特性のFFT法による高速試験」
電気学会 電子回路研究会, 日本大学 理工学部 駿河台校舎タワー・スコラ (2019年12月19日)
- [12] 荻原岳, 片山翔吾, **青木里穂**, 中谷隆之, 佐藤賢央, 石田嵩, 岡本智之, 市川保, 王建龍, 桑名杏奈, 畠山一実, 小林春夫

「オペアンプAC特性のサミングノード法による並列試験」

2019年度 第10回 電気学会東京支部栃木・群馬支所 合同研究発表会, ETG-20-41, ETT-20-41, pp.117-120

- [13] Yukiko Shibasaki, Koji Asami, Akemi Hatta, **Riho Aoki**, Anna Kuwana, Haruo Kobayashi
"Study on Crest Factor Controlled Multi-Tone Signal for Analog RF Circuit Testing"
17th International SOC Design Conference (ISOCC 2020), Yeosu, Korea (Oct. 21-24, 2020)
- [14] Yukiko Shibasaki, Koji Asami, **Riho Aoki**, Akemi Hatta, Anna Kuwana, Haruo Kobayashi
"Analysis and Design of Multi-Tone Signal Generation Algorithms for Reducing Crest Factor"
29th IEEE Asian Test Symposium (ATS 2020), Penang, Malaysia (Nov. 22-25, 2020)
- [15] Gaku Ogihara, Takayuki Nakatani, Akemi Hatta, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa, Anna Kuwana, **Riho Aoki**, Shogo Katayama, Jianglin Wei, Yujie Zhao, Jianlong Wang, Kazumi Hatayama, Haruo Kobayashi
"Summing Node Test Method: Simultaneous Multiple AC Characteristics Testing of Multiple Operational Amplifiers"
29th IEEE Asian Test Symposium (ATS 2020), Penang, Malaysia (Nov. 22-25, 2020)
- [16] **Riho Aoki**, Jianglin Wei, Yujie Zhao, Anna Kuwana, Haruo Kobayashi, Takayuki Nakatani, Kazumi Hatayama, Keno Sato, Takashi Ishida, Toshiyuki Okamoto, Tamotsu Ichikawa
"Analysis, Testing and Calibration of Charge Distribution SAR ADC Architecture with Split Capacitor"
4th International Conference on Technology and Social Science (ICTSS 2020), Kiryu City Performing Art Center, Kiryu, Gunma, Japan (Dec. 2-4, 2020)

受賞歴

- [1] 平成30年度 電気学会東京支部 電気学術奨励賞
[2] 平成30年度 群馬大学学長表彰
[3] ICTSS2019 BEST STUDENT PAPER AWARD
[4] ICTSS2020 BEST STUDENT PRESENTATION AWARD

謝辞

本研究を進めるにあたり大変丁寧なご指導・ご支援を頂き、海外学会を含む外部発表の機会を与えてくださいました群馬大学小林春夫教授に心より深く感謝致します。また、研究に関する有意義なご意見・サポートを頂きました群馬大学桑名杏奈助教、中谷隆之協力研究員、出張など研究生活のサポートをして頂きました石川信宣技術専門職員、本論文の審査をして頂きました主査の藤井雄作教授、副査の浅見幸司客員教授に深く感謝申し上げます。

また本研究を進めるにあたり大変有意義なご討論頂きました、ローム株式会社の皆様に感謝するとともに、厚く御礼申し上げます。

最後に様々な場面でお世話になりました事務の方々、小林研究室の皆様に心よりお礼申し上げます。